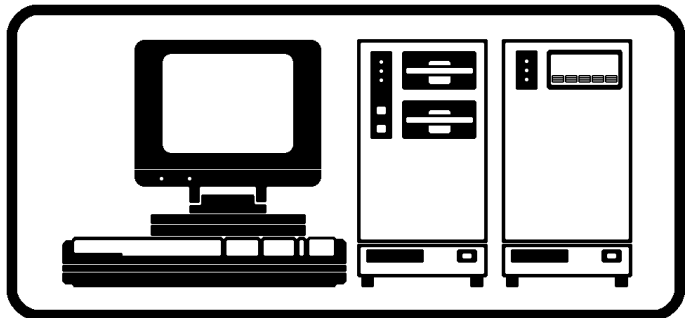




P8000 HARDWAREHANDBUCH



EAW*electronic*

Version 1.3 (2008-04-25)

P 8 0 0 0 - H a r d w a r e h a n d b u c h

Diese Dokumentation wurde von einem Kollektiv des Kombinates

VEB ELEKTRO-APPARATE-WERKE
BERLIN-TREPTOW "FRIEDRICH EBERT"
erarbeitet.

30.06.1988

Nachdruck und jegliche Vervielfaeltigungen, auch auszugsweise, sind nur mit Genehmigung des Herausgebers zulaessig. Im Interesse einer staendigen Weiterentwicklung werden die Nutzer gebeten, dem Herausgeber Hinweise zur Verbesserung mitzuteilen.

Herausgeber:

Kombinat
VEB ELEKTRO-APPARATE-WERKE
BERLIN-TREPTOW "FRIEDRICH EBERT"
Hoffmannstrasse 15-26
BERLIN
1193

Verantwortlicher Bearbeiter: W. Zuchhold
Redaktionelle Bearbeitung: M. Heller
Gestaltung: M. Friedrich
Ausgabe: 06/88

Aenderungen im Sinne des technischen Fortschritts vorbehalten.

I n h a l t s u e b e r s i c h t

Kapitel 1	Allgemeine Systembeschreibung Bearbeiter: W. Zuchhold
Kapitel 2	Hinweise fuer die Anwendung Bearbeiter: Kl.-P. Helbig, W. Zuchhold
Kapitel 3	P8000-Computer Bearbeiter: Kl.-P. Helbig, M. Heller
Kapitel 4	P8000-Terminal Bearbeiter: M. Heller, R. Kuehle, B. Schmidt
Kapitel 5	P8000-EPROM-Programmer Bearbeiter: P. Domnitz, E. Wuenschirs
Kapitel 6	P8000-Winchester Bearbeiter: R. Groeger, V. Obst, F. Spielmann
Anhang A	Technische Parameter
Anhang B	Verzeichnis der Service-Werkstaetten
Anhang C	Aenderungsmitteilungen

K a p i t e l 1
Allgemeine Systembeschreibung

30.06.1988

Inhaltsverzeichnis Kapitel 1

Seite

1.	Einleitung	1-3
2.	Systemumfang	1-4
3.	Geraetekonfigurationen	1-6
3.1.	16-Bit-Konfigurationen	1-6
3.2.	8-Bit-Konfigurationen	1-7
3.3.	Bestellschluessel	1-7
4.	Lieferumfang	1-9
4.1.	16-Bit-Konfiguration	1-9
4.2.	8-Bit-Konfiguration	1-10
5.	Kennzeichnung der Festplatte und Leiterplattenindex	1-12

1. Einleitung

Das Programmier- und Entwicklungssystem P8000 ist als universelles Werkzeug zur Unterstuetzung der 8-Bit-Mikroprozessorfamilie UA880, der 16-Bit-Mikroprozessorfamilien UB8001 / UB8002, K1810 WM86, und der Einchip-Mikrorechner-Schaltkreise UB8810 / UB8820 / UB8840 konzipiert.

Das Geraetesystem ist zur Entwicklung und - in Verbindung mit den in Vorbereitung befindlichen P8000-In-Circuit-Emulatoren - zur Testung der Software und auch der Zielhardware geeignet. Es bietet alle Leistungsmerkmale moderner Arbeitsplatzcomputersysteme mit Multi-User- und Multi-Task-Eigenschaften.

Die P8000-Hardware wurde so entworfen, dass sowohl 8-Bit- als auch 16-Bit-Software lauffaehig ist. Dazu enthaelt das System einen 8-Bit-Rechner (mit UA880) und einen 16-Bit-Rechner (mit UB8001). Vorteile dieser Loesung sind insbesondere:

- * Uebernahme vorhandener Softwareloesungen auf das P8000, da die bewaehrten 8-Bit-Betriebssysteme UDOS und OS/M mit ihren vielfaeltigen Dienstprogrammen weiterhin zur Verfuegung stehen.
- * Installation des Multi-User-, Multi-Task-Betriebsystems WEGA auf dem 16-Bit-Rechner und damit Erreichen einer neuen Qualitaet hinsichtlich Leistungsfaehigkeit und Anwendungsbreite gegenueber 8-Bit-Systemen.

Das Ihnen vorliegende P8000-Hardwarehandbuch informiert Sie ueber den Umfang des Systems P8000, seine einzelnen Hardwarekomponenten, seine moeglichen Geraetekonfigurationen sowie ueber die technischen Daten des Systems. Sie werden befahigt, das Geraetesystem hardwaremaessig zu installieren, in Betrieb zu setzen und zu bedienen.

2. Systemumfang

Die Basis des Programmier- und Entwicklungssystems P8000 bilden die vier hier dargestellten Hardwarekomponenten, die in ihrer Funktion aufeinander abgestimmt sind:

Bild 1.2-1 Das Programmier- und Entwicklungssystem P8000

P8000-Computer:

Kernstueck des Geraetesystems ist der P8000-Computer. Er enthaelt einen 8-Bit- und einen 16-Bit-Mikrorechner, zwei Floppy-Disk-Laufwerke 5 1/4 Zoll und die Stromversorgung.

Den P8000-Computer gibt es als 8-Bit- und als 16-Bit-Geraet. Im ersten Fall ist nur der 8-Bit-Mikrorechner enthalten. Das P8000 arbeitet dann mit einem 8-Bit-Betriebssystem als Einplatz-System.

Das vollstaendig ausgestattete P8000 enthaelt sowohl den 8-Bit- als auch den 16-Bit-Rechner. Es kann mit einem 16-Bit-Betriebssystem als Multi-User-, Multi-Task-System arbeiten. Fuer diesen Einsatzfall kann der Hauptspeicher des 16-Bit-Rechners bis auf 1 MByte (zukuenftig bis auf 4 MByte)

aufgeruestet werden.

Die beiden im P8000-Computer enthaltenen Mikrorechner weisen je vier serielle Kanäle und eine parallele Schnittstelle auf, so dass im voll ausgeruesteten Computer acht serielle und zwei parallele Schnittstellen zur Verfuegung stehen.

Die seriellen Schnittstellen sind standardmaessig als V.24-Interface ausgelegt, koennen aber auch teilweise auf IFSS-Betrieb umgestellt werden. Vorgesehen ist das serielle Interface zum Anschluss der Terminals, Drucker und anderer seriell koppelbarer Systeme (z.B. Remotesysteme).

Die Parallelschnittstelle des 8-Bit-Rechners ist fuer den Anschluss des EPROM-Programmiers, die des 16-Bit-Rechners fuer den Anschluss des Winchesterbeistellers ausgelegt.

Es besteht die Moeglichkeit, zusaetzlich noch einen Floppy-Disk-Beisteller anzuschliessen (5 1/4 oder 8 Zoll); vorgesehen ist ein solcher Beisteller im System P8000 nicht.

P8000-Winchesterbeisteller:

Der Winchesterbeisteller enthaelt ein Winchester-Laufwerk 5 1/4 Zoll und die Anschluss-Steuerung (Winchester-Controller) mit Parallelinterface zum P8000-Computer. Der Einsatz von zwei Laufwerken ist vorbereitet, wird aber z.Z. nicht realisiert. Der Winchesterbeisteller steht nur in der 16-Bit-Variante des P8000 zur Verfuegung und wird nur von der 16-Bit-Software unterstuetzt.

P8000-Terminal:

Das P8000-Terminal ist als Bediengerat fuer den P8000-Computer vorgesehen. Es besteht aus den drei Komponenten Monitor, Tastatur und Terminalsteuerrechner und verfuegt ueber einen alphanumerischen Zeichenvorrat. Die Kopplung mit dem Computer erfolgt seriell (V.24- oder IFSS-Interface). Entsprechend der Zahl der seriellen Schnittstellen koennen maximal acht Terminals an einen P8000-Computer angeschlossen werden (16-Bit-Betriebssystem vorausgesetzt).

P8000-EPROM-Programmer:

Der EPROM-Programmer dient zur Programmierung der EPROM-Typen 2708, 2716, 2732, 2732A, 2764. Er wird ueber eine Parallelschnittstelle (8-Bit-Rechner) mit dem P8000-Computer gekoppelt.

3. Geratekonfigurationen

3.1. 16-Bit-Konfigurationen

Eine 16-Bit-Konfiguration besteht aus den Komponenten:

- 1 x P8000-Computer
- 1 x P8000-Winchesterbeisteller
- 1 x bis 8 x P8000-Terminal(s)
- 1 x P8000-Programmer
- 1 x Nadeldrucker K6314 o.a.
- 1 x Grundsoftware 16-Bit (WEGA)
- 1 x Grundsoftware 8-Bit (UDOS, OS/M)

Die 16-Bit-Konfiguration wird in 4 Versionen angeboten, die sich durch den Ausbau des Hauptspeichers des 16-Bit-Rechners unterscheiden. Der Hauptspeicher ist als steckbare Leiterkarte mit 256 KByte ausgefuehrt. Es sind Gerate mit 1/4 MByte, 1/2 MByte, 3/4 Mbyte und 1 MByte bestellbar. Bei 1 MByte Arbeitsspeicher sind 4 Steckplaetze auf der 16-Bit-Rechnerkarte belegt. Ein 5. Steckplatz wird fuer spaetere Erweiterungen freigehalten. In der 16-Bit-Version des Computers ist generell die 8-Bit-Rechnerkarte enthalten.

** Zur Arbeit mit dem Betriebssystem WEGA sollten mindestens 1/2 MByte Arbeitsspeicher vorhanden sein!

Der Winchesterbeisteller wird z.Z. mit einem Winchesterlaufwerk ausgeruestet. Die Speicherkapazitaet betraegt 50 MByte.

Die Anzahl der Terminals ist je nach Aufgabenstellung durch den Nutzer zu bestimmen. Es koennen ein bis acht Terminals an den Computer angeschlossen werden. Dabei ist zu beachten, dass bei Anschluss eines Druckers nur noch 7 Schnittstellen fuer Terminals zur Verfuegung stehen. Bei Rechnerkopplungen o.a.m. reduziert sich diese Zahl weiter. Als Terminal ist auch jeder schon vorhandene Buerocomputer vom Typ A5120 oder PC 1715 unter den Betriebssystemen UDOS oder SCPX an das P8000 anschliessbar (Remotesystem).

EPROM-Programmer und Nadeldrucker gehoeren zur Grundausruestung jedes P8000-Systems.

Die Software erhaelt der Nutzer auf Disketten, der Umfang betraegt fuer die 16-Bit-Software (WEGA) 16 Disketten und fuer die 8-Bit-Software (UDOS, OS/M) 3 Disketten. Bei einer 16-Bit-Konfiguration wird immer die 16- und die 8-Bit-Software zusammen ausgeliefert.

Die Festplatte wird vom Hersteller mit dem WEGA-Betriebssystem geladen, so dass nach der Gerateinstallation ein Hochfahren des Systems sofort moeglich ist.

Die Systemdokumentation wird in gedruckter Form geliefert, bzw. in Form von Diskettendateien zur Verfuegung gestellt.

3.2. 8-Bit-Konfiguration

Eine 8-Bit-Konfiguration besteht aus den Komponenten:

- 1 x P8000 - Computer
- 1 x P8000 - Terminal
- 1 x P8000 - Programmier
- 1 x Nadeldrucker K6314 o.a.
- 1 x Grundsoftware 8-Bit (UDOS, OS/M)

Bei dieser Ausfuehrung wird ein abgeruesteter Computer (ohne 16-Bit-Rechnerkarte) verwendet. Der Anschluss von mehreren Terminals und eines Winchesterbeistellers ist hier nicht moeglich. Es wird nur eine Ausfuehrung geliefert.

3.3. Bestellschlüssel

Zur eindeutigen Identifikation der verschiedenen Varianten des Geratesystems P8000 existieren PL-Nummern-Stuecklisten fuer Einzelgeraete, fuer Geratekonfigurationen und fuer die Software.

Beim Bestellen eines vollstaendigen P8000-Systems ist von der PL-Nummer fuer die Geratekonfiguration auszugehen. Bei Nachbestellungen einzelner Komponenten sind die PL-Nummern der Einzelgeraete zu benutzen. Sie sind auf dem Typenschild von Computer und Winchesterbeisteller zu finden.

PL-Nummer und Funktionsumfang der Einzelgeraete:

- | | |
|------------------------------|--------------------|
| - Computer 8-Bit: | PL-Nr. 374 730 001 |
| - Computer 16-Bit 1/4 MByte: | PL-Nr. 374 730 002 |
| - Computer 16-Bit 1/2 MByte: | PL-Nr. 374 730 003 |
| - Computer 16-Bit 3/4 MByte: | PL-Nr. 374 730 004 |
| - Computer 16-Bit 1 MByte: | PL-Nr. 374 730 005 |

- Winchesterbeisteller: PL-Nr. 374 733 001
(1 Laufwerk)
- Terminal 2 m V.24-Kabel: 1. Terminal
- Terminal 10 m V.24-Kabel: 2.-8. Terminal

Software:

- Grundsoftware 8-Bit: PL-Nr. 374 732 000
- Grundsoftware 16-Bit: PL-Nr. 374 732 001

PL-Nummer der Geraetekonfigurationen:

```

PL-Nr.:   3749                x    x    x    xx
          !                   !    !    !    !
          !                   !    !    !    !
P8000 ----+                   !    !    !    !
Computer -----+            !    !    !    !
  0: 8-bit-Version             !    !    !    !
  1: 16-Bit-Version 1/4 MByte  !    !    !    !
  2: 16-Bit-Version 1/2 MByte  !    !    !    !
  3: 16-Bit-Version 3/4 MByte  !    !    !    !
  4: 16-Bit-Version 1 MByte    !    !    !    !
                               !    !    !    !
Winchesterbeisteller/Drucker -----+ !    !    !    !
  0: ohne WD-Beisteller/ m.Drucker !    !    !    !
  2: WD-Beisteller 1 Laufwerk/ m. Drucker !    !    !    !
  4: ohne WD-Beisteller/ ohne Drucker !    !    !    !
  5: WD-Beisteller 1 Laufwerk/ o. Drucker !    !    !    !
Software-----+            !    !    !    !
  0: 8-Bit-Grundsoftware         !    !    !    !
  1: 16-Bit-Grundsoftware        !    !    !    !
Anzahl der Terminals -----+  !    !    !    !
  00: 0 x Terminal                !    !    !    !
  02: 1 x Terminal                !    !    !    !
  06: 2 x Terminal                !    !    !    !
  10: 3 x Terminal                !    !    !    !
  14: 4 x Terminal                !    !    !    !
  18: 5 x Terminal                !    !    !    !
  22: 6 x Terminal                !    !    !    !
  26: 7 x Terminal                !    !    !    !
  29: 8 x Terminal                !    !    !    !

```

4. Lieferumfang

Zur genauen Ueberpruefung auf Vollstaendigkeit der gelieferten Geraetekonfiguration werden alle Komponenten, die zu einer Bestellung gehoeren, aufgefuehrt.

4.1. 16-Bit-Konfigurationen

Auf die bei den 16-Bit-Konfigurationen bestehenden Varianten bezueglich:

- internem Arbeitsspeicher
- mit oder ohne Drucker
- Anzahl der Terminals (ein bis acht)

wird hier nicht eingegangen, da sie aus der PL-Nr. ableitbar sind.

Folgende Einzelkomponenten gehoeren zu einer 16-Bit-Konfiguration:

1. Computer
 - 1x Netzkabel (2 m)
 - 1x EPROM-Programmer
 - 1x Signalkabel fuer EPROM-Programmer (Nr. 889329)
2. Nadeldrucker K6314 oder LX86
 - 1x Signalkabel fuer K6314 (5 m, Nr. 889064)
oder
 - 1x Signalkabel fuer LX86 (5 m, Nr. 889061)
3. Winchesterbeisteller
 - 1x Netzkabel (2 m)
 - 1x Signalkabel fuer Winchesterbeisteller (Nr. 889441)
4. Terminal
 - 1x Monitor K7229.21 oder alpha 1
 - 1x Tastatur (derzeit vom PC1715)
 - 1x Terminalsteuerrechner
 - 1x Netzkabel (2 m)
 - 1x Signalkabel fuer Terminal (2 m fuer das 1. Terminal, 10 m fuer jedes weitere Terminal, Nr. 889061)

5. Software

- 1x 16-Bit-Grundsoftware (16 Disketten)
 - . 1x Diskette WEGA-Startdiskette
 - . 5x Disketten WEGA-root1 bis WEGA-root5
 - . 9x Disketten WEGA-usr1 bis WEGA-usr9
 - . 1x Diskette WEGA-doc1
- 1x 8-Bit-Grundsoftware (3 Disketten)
 - . 1x Diskette UDOS-Systemdiskette
 - . 1x Diskette UDOS-Programmiersprachen
 - . 1x Diskette OS/M-Systemdiskette

6. Dokumentation

- 1x P8000-Hardwarehandbuch
- 1x Einfuehrung in die Software des Geraetesystems P8000
- 1x WEGA-Software Systemhandbuch
- 1x WEGA-Software Programmierhandbuch Teil 1/1
- 1x WEGA-Software Programmierhandbuch Teil 1/2
- 1x WEGA-Software Programmierhandbuch Teil 2
- 1x WEGA-Software Programmierhandbuch Teil 3
- 1x WEGA-Software Dienstprogramme Band A
- 1x WEGA-Software Dienstprogramme Band B
- 1x WEGA-Software Dienstprogramme Band C
- 1x WEGA-Software Dienstprogramme Band D

- 1x UDOS-Software Systemhandbuch
- 1x UDOS-Software Mikroprozessorsoftware
- 1x UDOS-Software Programmiersprachen
- 1x UDOS-Software Dienstprogramme

- 1x OS/M-Software Systemhandbuch

4.2. 8-Bit-Konfigurationen

1. Computer

- 1x Netzkabel (2 m)
- 1x EPROM-Programmer
- 1x Signalkabel fuer EPROM-Programmer (Nr. 889329)

2. Nadeldrucker K6314 oder LX86

- 1x Signalkabel fuer K6314 (5 m, Nr. 889064)
oder
- 1x Signalkabel fuer LX86 (5 m, Nr. 889061)

3. Terminal

- 1x Monitor K7229.21 oder alpha 1
- 1x Tastatur (derzeit vom PC 1715)
- 1x Terminalsteuerrechner
- 1x Netzkabel (2 m)

- 1x Signalkabel fuer Terminal (2 m, Nr. 889061)

4. Software

- 1x 8-Bit-Grundsoftware (3 Disketten)
 - . 1x Diskette UDOS-Systemdiskette
 - . 1x Diskette UDOS-Programmiersprachen
 - . 1x Diskette OS/M-Systemdiskette

6. Dokumentation

- 1x P8000-Hardwarehandbuch
- 1x Einfuehrung in die Software des Geraetesystems P8000
- 1x UDOS-Software Systemhandbuch
- 1x UDOS-Software Mikroprozessorsoftware
- 1x UDOS-Software Programmiersprachen
- 1x UDOS-Software Dienstprogramme

- 1x OS/M-Software Systemhandbuch

5. Kennzeichnung der Festplatte und Leiterplattenindex

Da es erforderlich sein kann, bei einem P8000-System den Typ der eingebauten Festplatte bzw. die Ausfuehrungsvariante von Winchester-Controller-, 16-Bit- oder 8-Bit-Leiterkarte feststellen zu muessen, befindet sich auf dem Typenschild der Geraete eine Versionsnummer in der Form V: a b c d.

Diese Versionsnummer enthaelt die gewuenschten Informationen in verschluesselter Form:

Versionsnummer:	V: a b c d
	! ! ! !
	! ! ! !
16-Bit-Rechnerkarten-Index -----+	! ! !
	! ! !
8-Bit-Rechnerkarten-Index -----+	! !
	! !
Winchester-Controller-Leiterkarten-Index -----+	!
	!
Winchesterlaufwerk-Index -----+	
1: NEC D 5126	
2: NEC D 5146	
4: Robotron VS1, VS2, VS3	
5: Robotron K5504.50	

K a p i t e l 2

Hinweise fuer die Anwendung

30.06.1988

Inhaltsverzeichnis Kapitel 2		Seite
1.	Installation	2-3
1.1.	Sicherheitsbedingungen	2-3
1.2.	Aufstellen der 8-Bit-Konfiguration	2-4
1.3.	Aufstellen der 16-Bit-Konfiguration	2-5
2.	Inbetriebnahme und Bedienung	2-8
2.1.	8-Bit-Konfiguration	2-8
2.2.	16-Bit-Konfiguration	2-8
3.	Disketten	2-10
3.1.	Eingesetzte Diskettentypen	2-10
3.2.	Hinweise zur Behandlung	2-10
3.3.	Einlegen und Entnahme von Disketten	2-10
4.	Wartung und Service	2-11
5.	Interfacekabel (1)	2-12
5.1.	Anschlusskabel fuer Terminals	2-13
5.2.	Anschlusskabel fuer Remote-Systeme	2-17
5.3.	Anschlusskabel fuer Drucker	2-20
5.4.	Anschlusskabel fuer Modems/DNUE	2-22
6.	Interfacekabel (2)	2-23
6.1.	Anschlusskabel fuer Terminals	2-24
6.2.	Anschlusskabel fuer Remote-Systeme	2-26
6.3.	Anschlusskabel fuer Drucker	2-29
6.4.	Anschlusskabel fuer Modems/DNUE	2-32

1. Installation

1.1. Sicherheitsbedingungen

Zur Gewährleistung der Sicherheit des Bedienpersonals wurden im P8000-System folgende Massnahmen getroffen:

- Schutzgrad IP 20
- Schutzklasse I
- Sicherheitskleinspannung durch erhöhte Isolation zwischen Netz- und Sekundaerseite
- Verbindung zwischen Signalmasse und Schutzerde

Die genannten Sicherheitsbedingungen treffen fuer alle Komponenten einer P8000-Konfiguration zu:

- * P8000-Computer, P8000-Terminal (Terminalsteuerrechner, Monitor, Tastatur), P8000-Winchesterbeisteller, Drucker.

Die seriellen Schnittstellen der P8000-Komponenten arbeiten wahlweise mit Spannungs- oder Stromsignalen (V.24- bzw. IFSS-Interface).

- * Es wird empfohlen eine Mehrbenutzerkonfiguration, bei der die Nutzer ueber grossere Entfernungen angeschlossen werden, mit IFSS-Interface zu installieren!

Eine P8000-Konfiguration ist im Lieferzustand mit V.24-Kabel ausgeruestet, also auf V.24-Interface festgelegt. Folgendes gilt:

- * Maximal zulaessige Entfernung 15 m. Die Geraete sind galvanisch miteinander verbunden. Unterschiedliche Netzeinspeisungspunkte koennen zu Spannungsdifferenzen am Schutzleiterpotential fuehren. Die dadurch verursachten Ausgleichstroeme koennten Betriebsstoerungen und Gefaehrdungen verursachen.
- ** Bei V.24-Interface ist die gesamte P8000-Geraete-konfiguration aus einem zentralen Netzeinspeisungspunkt zu versorgen!

Die Umstellung der dafuer vorgesehenen Schnittstellen auf IFSS-Interface erfolgt automatisch bei Verwendung eines IFSS-Kabels (z.Z. nicht im P8000-Lieferumfang enthalten!). Folgendes gilt fuer Geraete mit Versionsnummer V: 11xx, bzw. fuer Geraete ohne Versionsnummer (vg. Kapitel 1, Abschn. 5):

- * Maximal zulaessige Entfernung 500 m. Die Gerate sind galvanisch voneinander getrennt. Im Lieferzustand sind die Sendeleitungen jeweils aktiv, die Empfangsleitungen passiv ausgefuehrt. Als Signalkabel ist ein Kabeltyp ohne Schirm, Adern paarig verdreht, zu verwenden. Kabeltyp und -schaltung vgl. Abschnitt 5.

Fuer zukuenftige Gerate mit Versionsnummer V: 33xx oder groesser gilt:

- * Maximal zulaessige Entfernung 500 m. Die Gerate sind galvanisch voneinander getrennt. Im Lieferzustand ist das Rechner-Interface passiv, das Terminal-Interface aktiv ausgefuehrt. Veraenderungen sind ueber Bruecken in den Kabelsteckern moeglich. Als Signalkabel ist ein Kabeltyp ohne Schirm, Adern paarig verdreht, zu verwenden. Kabeltyp und -schaltung vgl. Abschnitt 6.

Fremdgeraete (Remote-Systeme, Peripheriegeraete, K1520-Konfigurationen usw.) koennen an ein P8000-System mittels V.24- bzw. IFSS-Interface angeschlossen werden. In jedem Fall ist folgendes zu beachten:

- ** Bei Kopplung von systemfremden Geraten an ein P8000 ist der Anwender fuer die Einhaltung der Schutzguete verantwortlich!
- ** Es ist sicherzustellen, dass Fremdgeraete an den Interfaceleitungen Sicherheitskleinspannungen besitzen, andernfalls geht der Sicherheitsstatus des gesamten Systems verloren!

1.2. Aufstellen der 8-Bit-Konfiguration

Zur 8-Bit-Konfiguration eines P8000 gehoeren folgende Komponenten:

- 1 x P8000 - Computer
- 1 x P8000 - Terminal
- 1 x P8000 - Programmer
- 1 x Drucker K6314 o.a. mit Netzkabel
- 2 x Netzkabel fuer Computer und Terminal, 2 m lang
- 1 x Signalkabel Computer-Terminal: Nr. 889061
- 1 x Signalkabel Computer-Drucker: Nr. 889064
- 1 x Signalkabel Computer-Programmer: Nr. 889329

Reihenfolge des Aufstellens:

1. P8000-Computer
2. Terminalsteuerrechner
3. Monitor (auf Terminalsteuerrechner stellen)
4. Tastatur
5. Drucker
6. EPROM-Programmer

** Die Installation der Geraete ist im spannungslosen Zustand vorzunehmen!

Als erstes Geraet ist der P8000-Computer an einem geeigneten Ort aufzustellen. Daneben ist das Terminal bestehend aus Terminalsteuerrechner, Tastatur und Monitor zu installieren (vgl. Kapitel 4 dieses Handbuches). Es ist vorgesehen den Monitor auf den Terminalsteuerrechner zu stellen und die Tastatur davor anzuordnen.

Die Signalkabel der Tastatur und des Monitors sind mit den entsprechend beschrifteten Steckverbindern des Terminalsteuerrechners zu verbinden. Falls der Monitor einen eigenen Netzschalter besitzt, ist dieser einzuschalten und so zu belassen. Als Netzschalter des Terminals dient dann immer der an der Vorderseite des Terminalsteuerrechners befindliche Schalter.

Nachdem Terminal und Computer installiert sind, ist das Verbindungskabel Terminal-Computer im Terminal in die Schnittstelle -Computer- und im Computer in die Schnittstelle -Console-tty1- zu stecken. Weiterhin ist der EPROM-Programmer mit dem dazugehoerigen Kabel mit der Schnittstelle -Programmer- des Computers zu verbinden. Der Drucker ist mit dem entsprechenden Kabel an die Schnittstelle -Printer-tty3 anzuschliessen.

Zuletzt sind die Netzkabel in die dazugehoerigen Stecker von Computer und Terminal zu stecken und fuer alle drei Komponenten (Computer, Terminal und Drucker) der Netzanschluss herzustellen.

** EPROM-Programmer-Kabel und tty-Kabel duerfen beim Stecken nicht vertauscht werden!

1.3. Aufstellen der 16-Bit-Konfiguration

Zur 16-Bit-Konfiguration eines P8000 gehoeren folgende Komponenten:

- 1 x P8000 - Computer
- 1 x P8000 - Winchesterbeisteller

- 1 x bis 8 x P8000-Terminal(s)
- 1 x P8000-Programmer
- 1 x Drucker K6314 o.a. mit Netzkabel
- 2 x Netzkabel fuer Computer und Winchesterbeisteller,
2 m lang
- 1 x Netzkabel je Terminal, 2 m lang
- 1 x Signalkabel je Terminal Computer-Terminal:
Nr. 889061
- 1 x Signalkabel Computer-Drucker: Nr. 889064
- 1 x Signalkabel Computer-Programmer: Nr. 889329
- 1 x Signalkabel Computer-Winchesterbeisteller:
Nr. 889441

Reihenfolge des Aufstellens:

1. P8000-Computer
2. P8000-Winchesterbeisteller
3. Terminalsteuerrechner
4. Monitor (auf Terminalsteuerrechner stellen)
5. Tastatur
6. Drucker
7. EPROM-Programmer

** Die Installation der Geraete ist im spannungslosen Zustand vorzunehmen!

Als erste Geraete sind der P8000-Computer und der P8000-Winchesterbeisteller an einem geeigneten Ort nebeneinander aufzustellen. Daneben ist das Terminal des Superusers bestehend aus Terminalsteuerrechner, Tastatur und Monitor zu installieren (vgl. Kapitel 4 dieses Handbuches). Es ist vorgesehen, den Monitor auf den Terminalsteuerrechner zu stellen und die Tastatur davor anzuordnen.

Die Signalkabel der Tastatur und des Monitors sind mit den entsprechend beschrifteten Steckverbindern des Terminalsteuerrechners zu verbinden. Falls der Monitor einen eigenen Netzschalter besitzt, ist dieser einzuschalten und so zu belassen. Als Netzschalter des Terminals dient dann immer der an der Vorderseite des Terminalsteuerrechners befindliche Schalter. Die weiteren Terminals sind in gleicher Weise aufzustellen.

Nachdem Terminals, Computer und Winchesterbeisteller installiert sind, sind die Verbindungskabel Terminal-Computer am Terminal in den Anschluss -Computer- zu stecken. Am Computer sind die Terminals an folgende Schnittstellen anzustecken:

- Superuser: tty1 (Console)
- 2. Nutzer: tty6
- 3. Nutzer: tty7
- 4. Nutzer: tty0
- 5. Nutzer: tty2

6. Nutzer: tty4

7. Nutzer: tty5

Die mit -Computer- beschriftete Schnittstelle des P8000-Winchesterbeistellers ist mit der Schnittstelle -Winchester- des P8000-Computers ueber das entsprechende Kabel zu verbinden. Weiterhin ist der EPROM-Programmer mit dem dazugehoerigen Kabel an die Schnittstelle -Programmer- des Computers anzuschliessen.

** Die Anschlusskabel fuer Winchesterbeisteller und EPROM-Programmer sehen sehr aehnlich aus. Sie duerfen nicht vertauscht werden (Beschriftung beachten)!

Die Komponenten EPROM-Programmer und Winchesterbeisteller muessen unbedingt mit den entsprechenden Schnittstellen des Computers verbunden werden. Auf keinen Fall mit einer der Schnittstellen tty0 bis tty7, da die dort anliegenden Spannungen +12 V und -12 V zur Zerstoerung der Eingaenge fuehren koennen.

Der Drucker ist mit dem entsprechenden Kabel an die Schnittstelle -Printer-tty3 anzuschliessen.

Zuletzt sind die Netzkabel in die dazugehoerigen Stecker von Computer, Winchesterbeisteller und Terminals zu stecken und fuer alle Komponenten (Computer, Winchesterbeisteller, Terminals und Drucker) der Netzanschluss herzustellen.

** Es ist stets darauf zu achten, dass am Computer angeschlossene Kabel nicht leer enden, da Stoerungen eingekoppelt werden koennen!

** Angeschlossenen Geraete muessen ueber ihre Netzkabel mit dem Netz verbunden sein, auch im ausgeschalteten Zustand!

2. Inbetriebnahme und Bedienung

2.1. 8-Bit-Konfiguration

Nachdem die Geraete gemaess der im Abschnitt 1.1. erlaeuterten Art und Weise angeschlossen wurden, kann die Inbetriebnahme erfolgen. Dazu sind die Geraete in der Reihenfolge

1. P8000-Terminal
2. P8000-Computer
3. Drucker (bei Bedarf)

einzuschalten. Auf dem Monitor muss die Ausschrift

```
P8000  Hardwaretest U880 - Version x.x
```

```
U880-Softwaremonitor Version x.x. - Press RETURN
```

erscheinen.

Jetzt kann die gewuenschte Systemdiskette in das Laufwerk 0 (unteres Laufwerk) eingeschoben und durch Druucken der <CR>-Taste das Betriebssystem geladen werden. Auf dem Bildschirm muss die dem jeweiligen Betriebssystem zugehoerige Systemmeldung erscheinen.

Detaillierte Angaben zur Arbeit mit den verschiedenen Betriebssystemen sind der Softwaredokumentation zu entnehmen.

2.2. 16-Bit-Konfiguration

Nach der Installation des Systems gemaess Abschnitt 1.2. werden die Geraete in folgender Reihenfolge eingeschaltet:

1. P8000-Console (Terminal am Anschluss -tty1-)
2. P8000-Computer
3. P8000-Winchesterbeisteller
4. Drucker (bei Bedarf).

Auf dem Bildschirm meldet sich zuerst der U880-Monitor entsprechend Abschnitt 2.1. mit den Ausschriften:

```
P8000  Hardwaretest U880 - Version x.x
```

```
U880-Softwaremonitor Version x.x. - Press RETURN
```

Zum Hochfahren des 16-Bit-Betriebssystems WEGA wird jetzt die WEGA Startdiskette in Laufwerk 0 eingelegt und die Taste

<CR> gedrueckt. Auf dem Bildschirm muss sich der U8000-Monitor melden:

U8000-Softwaremonitor Version x.x - Press NMI

Mit dem Betaetigen der NMI-Taste am P8000-Computer wird der automatische Start des WEGA-Betriebssystems in den Multiusermode ausgeloeset. Weitere Details sind dem WEGA-Systemhandbuch zu entnehmen.

Der Uebergang vom U880- zum U8000-Monitor kann auch ohne Startdiskette durch Eingabe des Kommandos "X" im U880-Monitor erfolgen. Der 16-Bit-Monitor meldet sich ebenfalls mit

U8000-Softwaremonitor Version x.x - Press NMI

Jetzt kann WEGA ueber die NMI-Taste gestartet oder im U8000-Monitor gearbeitet werden.

** Bei Anwendung des "X"-Kommandos ist keine Diskettenarbeit unter WEGA moeglich, da auf der 8-Bit-Seite das UDOS nicht geladen wurde!

Ist das System in den Multiuserbetrieb hochgefahren, koennen die anderen Nutzer ihre Terminals und den Drucker nach Belieben ein- und wieder ausschalten. Die Systemconsole sollte immer eingeschaltet bleiben.

Das Abfahren des Betriebssystems ist entsprechend "WEGA-Systemhandbuch" vorzunehmen. Es ist zweckmaessig, die Geraete in der Reihenfolge

1. P8000-Winchesterbeisteller
2. P8000-Computer
3. P8000-Console

auszuschalten.

** Vor Ausschalten von Computer und Winchesterbeisteller muss die RESET-Taste gedrueckt werden!

3. Disketten

3.1. Eingesetzte Diskettentypen

Als Datentraeger sind Minidisketten (5 1/4 Zoll) mit dem Aufzeichnungsformat beidseitig, doppelte Dichte zu verwenden (96 tpi, d.h. 96 track per inch). Diese Disketten sind meist wie folgt gekennzeichnet:

- DS oder 2D (double side, 2-sided)
- DD (double density)

3.2. Hinweise zur Behandlung der Disketten

Um eine sichere Arbeitsweise mit den eingesetzten Disketten zu gewaehrleisten, sind einige Regeln beim Umgang mit den Disketten zu beachten.

- Aufbewahrung der Disketten nur in der Schutzhuelle.
- Disketten nicht falten und knicken.
- Beschriftung der Disketten nur mit Faserschreiber.
- Beruehrung der Magnetschicht vermeiden.
- Arbeitstemperaturbereich der Disketten beachten.
- Disketten keinen starken Magnetfeldern aussetzen.
- Sorgfaeltig in Floppylaufwerk einfuehren.

3.3. Einlegen und Entnahme von Disketten

Zum Einlegen der Disketten wird das Laufwerk durch Schwenken des Verriegelungshebels in die waagerechte Stellung geoeffnet. Jetzt kann die Diskette bis zum Anschlag in das Laufwerk eingeschoben werden. Schwenkt man den Verriegelungshebel in die senkrechte Stellung, so ist das Laufwerk geschlossen und die Diskette kann angesprochen werden.

Die Entnahme der Diskette kann erfolgen, wenn der Verriegelungshebel in die waagerechte Stellung gebracht wird. Der Verriegelungshebel darf nur geoeffnet werden, wenn die Leuchtdiode des Laufwerks nicht leuchtet.

4. Wartung und Service

Die Gerate Computer, Winchesterbeisteller, Terminal usw. sind wartungsfrei. Wartungsarbeiten beschraenken sich beim Anwender auf die Reinigung der Gerate, die im woechentlichen Abstand folgendermassen durchgefuehrt werden sollte:

- Reinigen der Aussenflaechen der Gerate mit einem neutralen Lackpflegemittel
- Reinigung der Bildschirme mit einem fusselarmen Tuch
- Reinigung der Tastenfelder mit einem Pinsel

** Reinigungsarbeiten sind generell bei ausgeschalteten Geraten durchzufuehren!

Wartungsarbeiten am Drucker sind entsprechend dem mitgelieferten Druckerhandbuch durchzufuehren.

Servicearbeiten am Programmier- und Entwicklungssystem P8000 werden vom EAW-Kundendienst und von Vertragswerkstaetten durchgefuehrt. Die Anschriften der Werkstaetten sind dem Anhang B des Hardware-Handbuches zu entnehmen.

Technische Fragen koennen an den technischen Vertrieb des KEAW gerichtet werden:

VEB Elektro-Apparate-Werke "Friedrich Ebert"
Berlin-Treptow

Technischer Vertrieb
Abt. ATEB
Tel.: 55020 (Zentrale)

Hoffmannstr. 15-26
Berlin
1193

5. Interfacekabel (1)

In diesem Abschnitt wird das Verdrahtungsschema der V.24- bzw. IFSS-Interfacekabel zum Anschluss folgender Gerate an den P8000-Computer beschrieben:

- Terminals
- Remote-Systeme (abgesetzte Computer)
- Drucker
- Modem oder Datennahuebertragungseinrichtung (DNUe).

Die Ausfuehrungen sind gueltig fuer seit 1987 in Produktion befindliche P8000-Computer mit der Versionsnummer V: 11xx bzw. ohne Versionsnummer!

V.24-Interface:

Kabeltyp: Fm Plastschlauchleitung
HYF(C)Y 5x1x0,14 gr TGL 21807/05
Kabellaenge: max. 15 m

Steckverbinder: Steckerleiste 123-25 EBS-GO 4006/01-2
(Subminiatur-Steckverbinder Form D)
Buchsenleiste 223-13 TGL 29331/04
(EFS-Steckverbinder)

IFSS-Interface:

Kabeltyp: Fm Plastschlauchleitung
HYY 2x2x0,25 gr TGL 21807/05
Kabellaenge: max. 500 m

Steckverbinder: Steckerleiste 123-25 EBS-GO 4006/01-2
(Subminiatur-Steckverbinder Form D)
Buchsenleiste 223-5 TGL 29331/04
(EFS-Steckverbinder)

Das IFSS-Interface realisiert die galvanische Trennung der Gerate. Eine vollstaendige Entkopplung wird erreicht, wenn eine Uebertragungsseite aktiv (Sender und Empfaenger), die andere passiv arbeitet. Diese Schaltungsvariante ist deshalb zu bevorzugen.

* GLE-Geraete wurden vor 3/87 produziert und sind auf dem Typenschild entsprechend gekennzeichnet.

** Bei Anschluss von nicht zum P8000-System gehoerenden Geraten sind die Sicherheitsbedingungen zu beachten (vgl. Abschnitt 1.1.)!

5.1. Anschlusskabel fuer Terminals

V.24-Kabel fuer P8000-Terminal

Computer-Seite				Terminal-Seite			
Steckerleiste 123-25				Steckerleiste 123-25			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.	
RD / 103	!	2	+-----+	2	!	TD / 103	
TD / 104	!	3	+-----+	3	!	RD / 104	
DCD / 108	!	20	+-----+	20	!	DTR / 108	
DTR / 109	!	8	+-----+	8	!	DCD / 109	
SG / 102	!	7	+-----+	7	!	SG / 102	
SG	!	7	====(Schirm)====		!		

Der Schirm ist nur einseitig anzuschliessen!

IFSS-Kabel fuer P8000-Terminal

Computer-Seite				Terminal-Seite			
Sender: aktiv				Sender: passiv			
Empfaenger: aktiv				Empfaenger: passiv			
Steckerleiste 123-25				Steckerleiste 123-25			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.	
Q+ (3)	!	12	+++		!		
	!		!		!		
ED-	!	14	+++		!		
ED+	!	13	+-----+	10	!	SD- (1)	
SG (Q-)	!	7	+-----+	19	!	SD+ (1)	
	!				!		
SD+	!	10	+-----+	13	!	ED-	
SD-	!	19	+-----+	14	!	ED+	
	!				!		
IFSS	!	9	+++	+++	!	9	IFSS
	!		!	!	!		
SG	!	7	+++	+++	!	7	SG

- (1) Die Umschaltung auf "passiv" erfolgt ueber eine Wickelbruecke im Terminal (vgl. Kapitel 4).
 (3) Zusaetzlich ist zwischen Stift 12 und Stift 7 eine Z-Diode SZX 21/8,2 zu schalten (Anode an 7).

IFSS-Kabel fuer P8000-Terminal

Computer-Seite

Sender: aktiv
Empfaenger: passiv

Terminal-Seite

Sender: aktiv
Empfaenger: passiv

Steckerleiste 123-25

Steckerleiste 123-25

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
ED+	!	13	+-----+	10	!	SD-
ED-	!	14	+-----+	19	!	SD+
	!				!	
SD+	!	10	+-----+	13	!	ED-
SD-	!	19	+-----+	14	!	ED+
	!				!	
IFSS	!	9	+++	+++	!	IFSS
	!		!	!	!	
SG	!	7	+++	+++	!	SG

IFSS-Kabel fuer P8000-Terminal (GLE-Stand!)

Computer-Seite

Sender: aktiv
Empfaenger: aktiv

Terminal-Seite

Sender: passiv
Empfaenger: passiv

Steckerleiste 123-25

Steckerleiste 123-25

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
Q+ (3)	!	12	+++		!	
	!		!		!	
ED-	!	14	+++		!	
ED+	!	13	+-----+	19	!	SD- (1)
SG (Q-)	!	7	+-----+	10	!	SD+ (1)
	!				!	
SD+	!	10	+-----+	14	!	ED-
SD-	!	19	+-----+	13	!	ED+
	!				!	
IFSS	!	9	+++		!	(2)
	!		!		!	
SG	!	7	+++		!	

- (1) Die Umschaltung auf "passiv" erfolgt ueber eine Wickelbruecke in Terminal (vgl. Kapitel 4).
- (2) Die Umschaltung auf IFSS erfolgt beim GLE-Stand ueber eine Wickelbruecke im Terminal (vgl. Kapitel 4)!
- (3) Zusaetzlich ist zwischen Stift 12 und Stift 7 eine Z-Diode SZX 21/8,2 zu schalten (Anode an 7).

IFSS-Kabel fuer P8000-Terminal (GLE-Stand!)

Computer-Seite

Sender: aktiv
Empfaenger: passiv

Terminal-Seite

Sender: aktiv
Empfaenger: passiv

Steckerleiste 123-25

Steckerleiste 123-25

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
ED+	!	13	+-----+	19	!	SD-
ED-	!	14	+-----+	10	!	SD+
	!				!	
SD+	!	10	+-----+	14	!	ED-
SD-	!	19	+-----+	13	!	ED+
	!				!	
IFSS	!	9	+++		!	(2)
	!		!		!	
SG	!	7	+++		!	

(2) Die Umschaltung auf IFSS erfolgt beim GLE-Stand ueber eine Wickelbruecke im Terminal (vgl. Kapitel 4)!

V.24-Kabel fuer Robotron K8912 (an ASV K8021)

Computer-Seite

Steckerleiste 123-25

Terminal-Seite

Buchsenleiste 223-13

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
RD / 103	!	2	+-----+	A3	!	TD / 103
TD / 104	!	3	+-----+	B4	!	RD / 104
DCD / 108	!	20	+-----+	B8	!	DTR / 108
DTR / 109	!	8	+-----+	A9	!	DCD / 109
SG / 102	!	7	+-----+	AB1	!	SG / 102
SG	!	7	====(Schirm)====		!	

Der Schirm ist nur einseitig anzuschliessen!

IFSS-Kabel fuer K1520-OEM-Baugruppen (z.B. ATS K7028)

Computer-Seite

Sender: aktiv
Empfaenger: aktiv

Terminal-Seite

Sender: passiv
Empfaenger: passiv

Steckerleiste 123-25

Buchsenleiste 223-5

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
Q+ (3)	!	12	+++		!	
	!		!		!	
ED-	!	14	+++		!	
ED+	!	13	+-----+	A1	!	SD-
SG (Q-)	!	7	+-----+	B2	!	SD+
	!				!	
SD+	!	10	+-----+	B4	!	ED-
SD-	!	19	+-----+	A3	!	ED+
	!				!	
IFSS	!	9	+++		!	
	!		!		!	
SG	!	7	+++		!	

(3) Zusaetzlich ist zwischen Stift 12 und Stift 7 eine Z-Diode SZX 21/8,2 zu schalten (Anode an 7).

IFSS-Kabel fuer K1520-OEM-Baugruppen (z.B. ATS K7028)

Computer-Seite

Sender: aktiv
Empfaenger: passiv

Terminal-Seite

Sender: aktiv
Empfaenger: passiv

Steckerleiste 123-25

Buchsenleiste 223-5

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
ED+	!	13	+-----+	A1	!	SD-
ED-	!	14	+-----+	B2	!	SD+
	!				!	
SD+	!	10	+-----+	B4	!	ED-
SD-	!	19	+-----+	A3	!	ED+
	!				!	
IFSS	!	9	+++		!	
	!		!		!	
SG	!	7	+++		!	

5.2. Anschlusskabel fuer Remote-Systeme

Remote-Systeme sind Computer (z.B. 8-Bit-P8000, PC1715 oder A5120), die mit Hilfe eines "Remote"-Programms als Terminal betrieben werden koennen.

V.24-Kabel fuer P8000-8 als Remote-System (an tty0)

Computer-Seite			Remote-System-Seite			
Steckerleiste 123-25			Steckerleiste 123-25			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
RD / 103	!	2	+-----+	3	!	TD / 104
TD / 104	!	3	+-----+	2	!	RD / 103
DCD / 108	!	20	+-----+	8	!	DTR / 109
DTR / 109	!	8	+-----+	20	!	DCD / 108
SG / 102	!	7	+-----+	7	!	SG / 102
SG	!	7	====(Schirm)===		!	

Der Schirm ist nur einseitig anzuschliessen!

IFSS-Kabel fuer P8000-8 als Remote-System (an tty0)

Computer-Seite			Remote-System-Seite			
Sender: aktiv			Sender: aktiv			
Empfaenger: passiv			Empfaenger: passiv			
Steckerleiste 123-25			Steckerleiste 123-25			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
ED+	!	13	+-----+	19	!	SD-
ED-	!	14	+-----+	10	!	SD+
	!				!	
SD+	!	10	+-----+	14	!	ED-
SD-	!	19	+-----+	13	!	ED+
	!				!	
IFSS	!	9	+++	+++	!	IFSS
	!		!	!	!	
SG	!	7	+++	+++	!	SG

V.24-Kabel fuer Robotron PC1715 (an V.24 X5 / STE1101)
 Robotron BC A5120 (an ATS K7028-V.24/IFSS)

Computer-Seite			Remote-System-Seite			
Steckerleiste 123-25			Buchsenleiste 223-13			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
RD / 103	!	2	+-----+	A3	!	TD / 103
TD / 104	!	3	+-----+	B4	!	RD / 104
DCD / 108	!	20	+-----+	B8	!	DTR / 108
DTR / 109	!	8	+-----+	A9	!	DCD / 109
SG / 102	!	7	+-----+	AB1	!	SG / 102
SG	!	7	====(Schirm)===		!	

Der Schirm ist nur einseitig anzuschliessen!

IFSS-Kabel fuer Robotron PC1715
 Robotron BC A5120 (an ATS K7028-IFSS/IFSS)
 Computer mit K1520-OEM-Baugruppen (zB. ATS
 K7028-IFSS/IFSS)

Computer-Seite			Remote-System-Seite			
Sender: aktiv			Sender: passiv			
Empfaenger: aktiv			Empfaenger: passiv			
Steckerleiste 123-25			Buchsenleiste 223-5			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
Q+ (3)	!	12	+++		!	
	!		!		!	
ED-	!	14	+++		!	
ED+	!	13	+-----+	A1	!	SD-
SG (Q-)	!	7	+-----+	B2	!	SD+
	!				!	
SD+	!	10	+-----+	B4	!	ED-
SD-	!	19	+-----+	A3	!	ED+
	!				!	
IFSS	!	9	+++		!	
	!		!		!	
SG	!	7	+++		!	

(3) Zusaetzlich ist zwischen Stift 12 und Stift 7 eine Z-Diode SZX 21/8,2 zu schalten (Anode an 7).

IFSS-Kabel fuer Robotron PC1715
 Robotron BC A5120 (an ATS K7028-IFSS/IFSS)
 Computer mit K1520-OEM-Baugruppen (zB. ATS
 K7028-IFSS/IFSS)

Computer-Seite

Sender: aktiv
 Empfaenger: passiv

Remote-System-Seite

Sender: aktiv
 Empfaenger: passiv

Steckerleiste 123-25

Buchsenleiste 223-5

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
ED+	!	13	+-----+	A1	!	SD-
ED-	!	14	+-----+	B2	!	SD+
	!				!	
SD+	!	10	+-----+	B4	!	ED-
SD-	!	19	+-----+	A3	!	ED+
	!				!	
IFSS	!	9	+-+		!	
	!		!		!	
SG	!	7	+-+		!	

5.3. Anschlusskabel fuer Drucker

Die Software-Druckertreiber der Betriebssysteme UDOS, OS/M und WEGA realisieren bei der Kommunikation mit dem Drucker sowohl DTR-Protokoll (Hardware- Protokoll) als auch XON/XOFF-Protokoll (Software-Protokoll) mit folgendem Datenformat:

1 Startbit - 8 Datenbits - 2 Stopbits (keine Paritaet).

** Es wird empfohlen den Drucker - sofern moeglich - auf DTR-Protokoll einzustellen!

V.24-Kabel fuer EPSON LX-86
Robotron K6311...K6314
Robotron K6304

Computer-Seite				Drucker-Seite			
Steckerleiste 123-25				Steckerleiste 123-25			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.	
RD / 103	!	2	+-----+	2	!	TD / 103	
TD / 104	!	3	+-----+	3	!	RD / 104	
DCD / 108	!	20	+-----+	20	!	DTR / 108	
SG / 102	!	7	+-----+	7	!	SG / 102	
SG	!	7	====(Schirm)===		!		

Der Schirm ist nur einseitig anzuschliessen!

V.24-Kabel fuer Robotron K6311...K6314
Robotron K1152/257

Computer-Seite				Drucker-Seite			
Steckerleiste 123-25				Buchsenleiste 223-13			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.	
RD / 103	!	2	+-----+	A3	!	TD / 103	
TD / 104	!	3	+-----+	B4	!	RD / 104	
DCD / 108	!	20	+-----+	B8	!	DTR / 108	
SG / 102	!	7	+-----+	AB1	!	SG / 102	
SG	!	7	====(Schirm)===		!		

Der Schirm ist nur einseitig anzuschliessen!

IFSS-Kabel fuer Robotron K1152

Computer-Seite

Sender: aktiv

Empfaenger: aktiv

Drucker-Seite

Sender: passiv

Empfaenger: passiv

Steckerleiste 123-25

Buchsenleiste 223-5

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
Q+ (3)	!	12	+-+		!	
	!		!		!	
ED-	!	14	+-+		!	
ED+	!	13	+-----+	A1	!	SD-
SG (Q-)	!	7	+-----+	B2	!	SD+
	!				!	
SD+	!	10	+-----+	B4	!	ED-
SD-	!	19	+-----+	A3	!	ED+
	!				!	
IFSS	!	9	+-+		!	
	!		!		!	
SG	!	7	+-+		!	

(3) Zusaetzlich ist zwischen Stift 12 und Stift 7 eine Z-Diode SZX 21/8,2 zu schalten (Anode an 7).

5.4. Anschlusskabel fuer Modems/DNUE

Der Anschluss eines Modems oder einer DNUE an das P8000 ist nur an den Schnittstellen "tty0" und "tty4" moeglich.

V.24-Kabel fuer MODEM AM-12TD bzw. DNUE K8172

Computer-Seite		MODEM oder DNUE	
Steckerleiste 123-25		Steckerleiste 123-25	
Bezeichn.	Anschluss	Anschluss	Bezeichn.
RD / 103	2	3	RD / 104
TD / 104	3	2	TD / 103
CTS / 105	(4)(4	5)	CTS / 106
RTS / 106	5	4	RTS / 105
DSR / 107	(4)(6	6)	DSR / 107
DCD / 108	20	8	DCD / 109
DTR / 109	8	20	DTR / 108
TC / 113	24	24	TC / 113
TC / 114	15	15	TC / 114
RC / 115	17	17	RC / 115
SG / 102	7	7	SG / 102
TxCE	!(5) 25	+++	!
SG / 102	7	+++	! (bei ext. Sendetakt vom MODEM zum P8000)
RxCE	!(5) 11	+++	!
SG / 102	7	+++	! (bei ext. Empfangstakt vom MODEM zum P8000)
CPO	!(5) 18	+++	!
SG / 102	7	+++	! (bei ext. Sendetakt vom P8000 zum MODEM)
SG	7	====(Schirm)===	!

Der Schirm ist nur einseitig anzuschliessen!

- (4) Die Nutzung dieser Leitungen ist vorerst nur nach einer Schaltungsaenderung auf der entsprechenden Leiterplatte im P8000-Computer moeglich!
- (5) Diese externen Bruecken gelten nur fuer den Kanal tty0, beim Kanal tty4 sind Taktumschaltungen nur durch Wickelbruecken auf der 16-Bit-Leiterkarte moeglich!

6. Interfacekabel (2)

** Dieser Abschnitt gilt ab 3/89!!

In diesem Abschnitt wird das Verdrahtungsschema der V.24- bzw. IFSS-Interfacekabel zum Anschluss folgender Gerate an den P8000-Computer beschrieben:

- Terminals
- Remote-Systeme (abgesetzte Computer)
- Drucker
- Modem oder Datennahuebertragungseinrichtung (DNUe).

Die Ausfuehrungen sind gueltig fuer P8000-Computer mit der Versionsnummer V: 43xx oder groesser. Besonders zu beachten sind die gegeneuber V: 11xx veraenderten Interfaceanschluesse!

V.24-Interface:

Kabeltyp: Fm Plastschlauchleitung
HYF(C)Y 5x1x0,14 gr TGL 21807/05

Kabellaege: max. 15 m

Steckverbinder: Steckerleiste 123-25 EBS-GO 4006/01-2
(Subminiatur-Steckverbinder Form D)
Buchsenleiste 223-13 TGL 29331/04
(EFS-Steckverbinder)

IFSS-Interface:

Kabeltyp: Fm Plastschlauchleitung
HYY 2x2x0,25 gr TGL 21807/05

Kabellaege: max. 500 m

Steckverbinder: Steckerleiste 123-25 EBS-GO 4006/01-2
(Subminiatur-Steckverbinder Form D)
Buchsenleiste 223-5 TGL 29331/04
(EFS-Steckverbinder)

Das IFSS-Interface realisiert die galvanische Trennung der Gerate. Eine vollstaendige Entkopplung wird erreicht, wenn eine Uebertragungsseite aktiv (Sender und Empfaenger), die andere passiv arbeitet. Diese Schaltungsvariante wird deshalb bevorzugt.

** Bei Anschluss von nicht zum P8000-System gehoerenden Geraten sind die Sicherheitsbedingungen zu beachten (vgl. Abschnitt 1.1.)!

6.1. Anschlusskabel fuer Terminals

V.24-Kabel fuer P8000-Terminal

Computer-Seite				Terminal-Seite			
Steckerleiste 123-25				Steckerleiste 123-25			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.	
TD / 103	!	2	+-----+	3	!	RD / 104	
RD / 104	!	3	+-----+	2	!	TD / 103	
DTR / 108	!	20	+-----+	8	!	DCD / 109	
DCD / 109	!	8	+-----+	20	!	DTR / 108	
SG / 102	!	7	+-----+	7	!	SG / 102	
SG	!	7	====(Schirm)====		!		

Der Schirm ist nur einseitig anzuschliessen!

IFSS-Kabel fuer P8000-Terminal (ab Typ 2, 3/89)

Computer-Seite				Terminal-Seite			
Sender: passiv				Sender: aktiv			
Empfaenger: passiv				Empfaenger: aktiv			
Steckerleiste 123-25				Steckerleiste 123-25			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.	
	!			+++	!	16	2Q+
	!			!	!		
	!			+++	!	10	SD-
ED-	!	13	+-----+	19	!	SD+	
ED+	!	14	+-----+	7	!	SG (2Q-)	
	!			+++	!	12	1Q+
	!			!	!		
	!			+++	!	13	ED-
SD-	!	10	+-----+	14	!	ED+	
SD+	!	19	+-----+	7	!	SG (1Q-)	
	!				!		
IFSS	!	9	+++	+++	!	9	IFSS
	!		!	!	!		
SG	!	7	+++	+++	!	7	SG

V.24-Kabel fuer Robotron K8912 (an ASV K8021)

Computer-Seite				Terminal-Seite			
Steckerleiste 123-25				Buchsenleiste 223-13			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.	
TD / 103	!	2	+-----+	B4	!	RD / 104	
RD / 104	!	3	+-----+	A3	!	TD / 103	
DTR / 108	!	20	+-----+	A9	!	DCD / 109	
DCD / 109	!	8	+-----+	B8	!	DTR / 108	
SG / 102	!	7	+-----+	AB1	!	SG / 102	
SG	!	7	====(Schirm)====		!		

Der Schirm ist nur einseitig anzuschliessen!

IFSS-Kabel fuer K1520-OEM-Baugruppen (z.B. ATS K7028)

Computer-Seite				Terminal-Seite			
Sender: aktiv				Sender: passiv			
Empfaenger: aktiv				Empfaenger: passiv			
Steckerleiste 123-25				Buchsenleiste 223-5			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.	
Q+	!	12	+++		!		
	!		!		!		
ED-	!	13	+++		!		
ED+	!	14	+-----+	A1	!	SD-	
SG (Q-)	!	7	+-----+	B2	!	SD+	
Q+ (1)	!	16	+++		!		
	!		!		!		
SD-	!	10	+++		!		
SD+	!	19	+-----+	B4	!	ED-	
SG (Q-)	!	7	+-----+	A3	!	ED+	
	!				!		
IFSS	!	9	+++		!		
	!		!		!		
SG	!	7	+++		!		

(1) Stromquelle vom Nachbarkanal. Dieser ist dann nur noch passiv einsetzbar (vgl. Kap. 3)!

IFSS-Kabel fuer K1520-OEM-Baugruppen (z.B. ATS K7028)

Computer-Seite

Sender: passiv
Empfaenger: passiv

Terminal-Seite

Sender: aktiv
Empfaenger: aktiv

Steckerleiste 123-25

Buchsenleiste 223-5

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
ED+	!	14	+-----+	A1	!	SD-
ED-	!	13	+-----+	B2	!	SD+
	!				!	
SD+	!	19	+-----+	B4	!	ED-
SD-	!	10	+-----+	A3	!	ED+
	!				!	
IFSS	!	9	+++		!	
	!		!		!	
SG	!	7	+++		!	

6.2. Anschlusskabel fuer Remote-Systeme

Remote-Systeme sind Computer (z.B. 8-Bit-P8000, PC1715 oder A5120), die mit Hilfe eines "Remote"-Programms als Terminals betrieben werden koennen.

V.24-Kabel fuer P8000-8 als Remote-System (an tty0)

Computer-Seite

Steckerleiste 123-25

Remote-System-Seite

Steckerleiste 123-25

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
TD / 103	!	2	+-----+	3	!	RD / 104
RD / 104	!	3	+-----+	2	!	TD / 103
DTR / 108	!	20	+-----+	8	!	DCD / 109
DCD / 109	!	8	+-----+	20	!	DTR / 108
SG / 102	!	7	+-----+	7	!	SG / 102
SG	!	7	===(Schirm)===		!	

Der Schirm ist nur einseitig anzuschliessen!

IFSS-Kabel fuer P8000-8 als Remote-System (an tty0)

Computer-Seite				Remote-System-Seite			
Sender: aktiv				Sender: aktiv			
Empfaenger: passiv				Empfaenger: passiv			
Steckerleiste 123-25				Steckerleiste 123-25			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.	
	!			+++	!	12	Q+
	!			!	!		
	!			+++	!	13	ED-
SD-	!	10	+-----+	14	!	ED+	
SD+	!	19	+-----+	7	!	SG (Q-)	
	!			+++	!	16	Q+ (1)
	!			!	!		
	!			+++	!	10	SD-
ED-	!	13	+-----+	19	!	SD+	
ED+	!	14	+-----+	7	!	SG (Q-)	
	!				!		
IFSS	!	9	+++	+++	!	9	IFSS
	!		!	!	!		
SG	!	7	+++	+++	!	7	SG

(1) Stromquelle vom Nachbarkanal. Dieser ist dann nur noch passiv einsetzbar (vgl. Kap. 3)!

V.24-Kabel fuer Robotron PC1715 (an V.24 X5 / STE1101)
 Robotron BC A5120 (an ATS K7028-V.24/IFSS)

Computer-Seite				Remote-System-Seite			
Steckerleiste 123-25				Buchsenleiste 223-13			
Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.	
TD / 103	!	2	+-----+	B4	!	RD / 104	
RD / 104	!	3	+-----+	A3	!	TD / 103	
DTR / 108	!	20	+-----+	A9	!	DCD / 109	
DCD / 109	!	8	+-----+	B8	!	DTR / 108	
SG / 102	!	7	+-----+	AB1	!	SG / 102	
SG	!	7	====(Schirm)===		!		

Der Schirm ist nur einseitig anzuschliessen!

IFSS-Kabel fuer Robotron PC1715
 Robotron BC A5120 (an ATS K7028-IFSS/IFSS)
 Computer mit K1520-OEM-Baugruppen (zB. ATS
 K7028-IFSS/IFSS)

Computer-Seite

Sender: aktiv

Empfaenger: aktiv

Terminal-Seite

Sender: passiv

Empfaenger: passiv

Steckerleiste 123-25

Buchsenleiste 223-5

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
Q+	!	12	+-+		!	
	!		!		!	
ED-	!	13	+-+		!	
ED+	!	14	+-----+	A1	!	SD-
SG (Q-)	!	7	+-----+	B2	!	SD+
Q+ (1)	!	16	+-+		!	
	!		!		!	
SD-	!	10	+-+		!	
SD+	!	19	+-----+	B4	!	ED-
SG (Q-)	!	7	+-----+	A3	!	ED+
	!				!	
IFSS	!	9	+-+		!	
	!		!		!	
SG	!	7	+-+		!	

(1) Stromquelle vom Nachbarkanal. Dieser ist dann nur noch passiv einsetzbar (vgl. Kap. 3)!

IFSS-Kabel fuer Robotron PC1715
 Robotron BC A5120 (an ATS K7028-IFSS/IFSS)
 Computer mit K1520-OEM-Baugruppen (zB. ATS
 K7028-IFSS/IFSS)

Computer-Seite

Sender: passiv
 Empfaenger: passiv

Remote-System-Seite

Sender: aktiv
 Empfaenger: aktiv

Steckerleiste 123-25

Buchsenleiste 223-5

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
ED+	!	14	+-----+	A1	!	SD-
ED-	!	13	+-----+	B2	!	SD+
	!				!	
SD+	!	19	+-----+	B4	!	ED-
SD-	!	10	+-----+	A3	!	ED+
	!				!	
IFSS	!	9	+-+		!	
	!		!		!	
SG	!	7	+-+		!	

6.3. Anschlusskabel fuer Drucker

Die Software-Druckertreiber der Betriebssysteme UDOS, OS/M und WEGA realisieren bei der Kommunikation mit dem Drucker sowohl DTR-Protokoll (Hardware-Protokoll) als auch XON/XOFF-Protokoll (Software-Protokoll) mit folgendem Datenformat:

1 Startbit - 8 Datenbits - 2 Stopbits (keine Paritaet).

** Es wird empfohlen den Drucker - sofern moeglich - auf DTR-Protokoll einzustellen!

V.24-Kabel fuer EPSON LX-86
 Robotron K6311...K6314
 Robotron K6304

Computer-Seite Steckerleiste 123-25			Drucker-Seite Steckerleiste 123-25		
Bezeichn.	!	Anschluss	Anschluss	!	Bezeichn.
TD / 104	!	2	+-----+	3	! RD / 104
RD / 103	!	3	+-----+	2	! TD / 103
DCD / 109	!	8	+-----+	20	! DTR / 108
SG / 102	!	7	+-----+	7	! SG / 102
SG	!	7	====(Schirm)===		!

Der Schirm ist nur einseitig anzuschliessen!

V.24-Kabel fuer Robotron K6311...K6314
 Robotron K1152/257

Computer-Seite Steckerleiste 123-25			Drucker-Seite Buchsenleiste 223-13		
Bezeichn.	!	Anschluss	Anschluss	!	Bezeichn.
TD / 103	!	2	+-----+	B4	! RD / 104
RD / 104	!	3	+-----+	A3	! TD / 103
DCD / 109	!	8	+-----+	B8	! DTR / 108
SG / 102	!	7	+-----+	AB1	! SG / 102
SG	!	7	====(Schirm)===		!

Der Schirm ist nur einseitig anzuschliessen!

IFSS-Kabel fuer Robotron K1152

Computer-Seite

Sender: aktiv
Empfaenger: aktiv

Drucker-Seite

Sender: passiv
Empfaenger: passiv

Steckerleiste 123-25

Buchsenleiste 223-5

Bezeichn.	!	Anschluss		Anschluss	!	Bezeichn.
Q+	!	12	+-+		!	
	!		!		!	
ED-	!	13	+-+		!	
ED+	!	14	+-----+	A1	!	SD-
SG (Q-)	!	7	+-----+	B2	!	SD+
Q+ (1)	!	16	+-+		!	
	!		!		!	
SD-	!	10	+-+		!	
SD+	!	19	+-----+	B4	!	ED-
SG (Q-)	!	7	+-----+	A3	!	ED+
	!				!	
IFSS	!	9	+-+		!	
	!		!		!	
SG	!	7	+-+		!	

(1) Stromquelle vom Nachbarkanal. Dieser ist dann nur noch passiv einsetzbar (vgl. Kap. 3)!

6.4. Anschlusskabel fuer Modems/DNUE

Der Anschluss eines Modems oder einer DNUE an das P8000 ist nur an den Schnittstellen "tty0" und "tty4" moeglich.

V.24-Kabel fuer MODEM AM-12TD bzw. DNUE K8172

Computer-Seite			MODEM oder DNUE			
Steckerleiste 123-25			Steckerleiste 123-25			
Bezeichn.	Anschluss		Anschluss	Bezeichn.		
TD / 103	!	2	+-----+	2	!	TD / 103
RD / 104	!	3	+-----+	3	!	RD / 104
RTS / 105	!	4	+-----+	4	!	RTS / 105
CTS / 106	!	5	+-----+	5	!	CTS / 106
DSR / 107	!	6	+-----+	6	!	DSR / 107
DTR / 108	!	20	+-----+	20	!	DTR / 108
DCD / 109	!	8	+-----+	8	!	DCD / 109
TC / 113	!	24	+-----+	24	!	TC / 113
TC / 114	!	15	+-----+	15	!	TC / 114
RC / 115	!	17	+-----+	17	!	RC / 115
SG / 102	!	7	+-----+	7	!	SG / 102
TxCE	!	(2) 25	+--+		!	
	!		!	(bei ext. Sendetakt	!	
SG / 102	!	7	+--+	vom MODEM zum P8000)	!	
RxCE	!	(2) 11	+--+		!	
	!		!	(bei ext. Empfangstakt	!	
SG / 102	!	7	+--+	vom MODEM zum P8000)	!	
CPO	!	(2) 18	+--+		!	
	!		!	(bei ext. Sendetakt	!	
SG / 102	!	7	+--+	vom P8000 zum MODEM)	!	
SG	!	7	+===	(Schirm)===	!	

Der Schirm ist nur einseitig anzuschliessen!

- (2) Diese externen Bruecken gelten nur fuer den Kanal tty0, beim Kanal tty4 sind Taktumschaltungen nur durch Wickelbruecken auf der 16-Bit-Leiterkarte moeglich!

K a p i t e l 3

P8000 - Computer

30.06.88

Inhaltsverzeichnis Kapitel 3		Seite
1.	Konstruktion	3-5
2.	Stromversorgung	3-8
3.	8-Bit-Rechner Index 1	3-10
3.1	Allgemeine Beschreibung	3-10
3.2.	Rechnerkern	3-14
3.2.1.	Systemtakterzeugung	3-14
3.2.2.	RESET-Generierung	3-14
3.2.3.	NMI-Generierung	3-15
3.2.4.	Interrupt-Prioritaetskette.	3-15
3.3.	Speicher	3-16
3.3.1.	Speicherbanksteuerung	3-16
3.3.2.	Programmierung der Speicherbanksteuerung	3-17
3.3.3.	Festwertspeicher	3-19
3.4.	Peripherie	3-20
3.4.1.	I/O - Adressen	3-20
3.4.2.	Serielle Schnittstellen	3-22
3.4.3.	Parallele Schnittstellen	3-26
3.4.4.	Floppy-Disk-Schnittstelle	3-27
3.4.5.	Sonstige Schnittstellen	3-29
4.	8-Bit-Rechner Index 3	3-33
4.1	Allgemeine Beschreibung	3-33
4.2.	Rechnerkern	3-37
4.2.1.	Systemtakterzeugung	3-37
4.2.2.	RESET-Generierung	3-37
4.2.3.	NMI-Generierung	3-38
4.2.4.	Interrupt-Prioritaetskette.	3-38
4.3.	Speicher	3-39
4.3.1.	Speicherbanksteuerung	3-39
4.3.2.	Programmierung der Speicherbanksteuerung	3-40
4.3.3.	Festwertspeicher	3-42
4.4.	Peripherie	3-43
4.4.1.	I/O - Adressen	3-43
4.4.2.	Serielle Schnittstellen	3-45
4.4.3.	Parallele Schnittstellen	3-49
4.4.4.	Floppy-Disk-Schnittstelle	3-52
4.4.5.	Sonstige Schnittstellen	3-54
5.	Floppy-Disk-Drives	3-58
5.1.	Aufzeichnungsformate	3-58
5.2.	Steckerbelegung	3-58
5.3.	Anpassung an die FDC-Schnittstelle	3-59
6.	Der 16-Bit-Rechner Index 1	3-61
6.1.	Uebersicht	3-61
6.2.	Der Rechnerkern	3-65
6.2.1.	Systemtakterzeugung	3-65
6.2.2.	RESET-Generierung	3-65
6.2.3.	NMI-Generierung	3-66

- 6.2.4. Interrupt-Generierung 3-67
- 6.2.5. Trap-Generierung 3-68
- 6.2.6. Systemkonfiguration 3-68
- 6.3. Speicher 3-70
 - 6.3.1. Speicheradressierung. 3-70
 - 6.3.2. On-Board-Speicher 3-70
 - 6.3.3. Hauptspeicher 3-72
 - 6.3.4. Speicherbus 3-72
- 6.4. Peripherie 3-75
 - 6.4.1. Uebersicht 3-75
 - 6.4.2. I/O-Adressen 3-75
 - 6.4.3. Seriellles Interface 3-77
 - 6.4.4. Baudratengenerator 3-80
 - 6.4.5. Paralleles Interface 3-81
- 6.5. Speicherverwaltung 3-84
 - 6.5.1. Hauptfunktionen 3-84
 - 6.5.2. MMU-Konfiguration und -Steuerung 3-84
 - 6.5.3. Segmenttrap- und Suppress-Signale 3-86

- 7. Der 16-Bit-Rechner Index 4 3-87
 - 7.1. Uebersicht 3-87
 - 7.2. Der Rechnerkern 3-92
 - 7.2.1. Systemakterzeugung 3-92
 - 7.2.2. RESET-Generierung 3-92
 - 7.2.3. NMI-Generierung 3-93
 - 7.2.4. Interrupt-Generierung 3-94
 - 7.2.5. Trap-Generierung 3-95
 - 7.2.6. Systemkonfiguration 3-95
 - 7.3. Speicher 3-96
 - 7.3.1. Speicheradressierung. 3-96
 - 7.3.2. On-Board-Speicher 3-96
 - 7.3.3. Hauptspeicher 3-98
 - 7.3.4. Speicherbus 3-98
 - 7.4. Peripherie 3-101
 - 7.4.1. Uebersicht 3-101
 - 7.4.2. I/O-Adressen 3-101
 - 7.4.3. Seriellles Interface 3-103
 - 7.4.4. Baudratengenerator 3-106
 - 7.4.4. Paralleles Interface 3-107
 - 7.5. Speicherverwaltung 3-110
 - 7.5.1. Hauptfunktionen 3-110
 - 7.5.2. MMU-Konfiguration und -Steuerung 3-110
 - 7.5.3. Segmenttrap- und Suppress-Signale 3-111

- 8. Die DRAM-Karte Index 1 3-113
 - 8.1. Uebersicht 3-113
 - 8.2. Struktur der DRAM-Karte 3-114
 - 8.3. DRAM-Karten-Interface 3-116
 - 8.4. Einstellen der Moduladresse 3-118
 - 8.5. Refresh-Rate 3-118

- 9. Die DRAM-Karte Index 3 3-120
 - 9.1. Uebersicht 3-120
 - 9.2. Struktur der DRAM-Karte 3-121

- 9.2.1. Bestueckungsvariante 1 (1 MByte Karte) . . . 3-122
- 9.2.2. Bestueckungsvariante 2 (256 KByte Karte) . . . 3-123
- 9.2.3. Zu den weiteren Funktionsgruppen 3-124
- 9.3. DRAM-Karten-Interface 3-124
- 9.4. Einstellen der Moduladresse 3-126
- 9.4.1. Bestueckungsvariante 1 (1 MByte Karte) . . . 3-126
- 9.4.2. Bestueckungsvariante 2 (256 KByte Karte) . . . 3-127
- 9.5. Refresh-Rate 3-128

1. Konstruktion

Der P8000-Computer ist in einem Kompaktgehäuse untergebracht. Bild 3.1-1 zeigt die Front- und Rückansicht des Gerätes.

Auf der Frontseite befinden sich der Netzschalter, drei Leuchtdioden zur Anzeige der Spannungen +12 V, +5 V, -12 V, die Tasten <RESET> und <NMI> sowie die Bedienelemente der beiden Floppy-Disk-Laufwerke "0" und "1". An der Rückseite sind der Netzgerätestecker, zwei Stromsicherungen und die Steckverbinder für den Anschluss externer Geräte zugänglich. Hier ist auch der Unterschied zwischen 8-Bit- und 16-Bit-Ausführung des Computers erkennbar. Bei der 8-Bit-Variante fehlt die innere Reihe der Interfacestecker (tty4 ... tty7, WDC-Anschluss). Die folgenden Ausführungen gelten für den 16-Bit-Computer, sie sind sinngemäß auf den 8-Bit-Computer anzuwenden.

Zur Durchfuehrung von Service- oder Wartungsarbeiten (EPROM-Wechsel, Veraenderung von Wickelbruecken o.a.m.) ist der P8000-Computer zu oeffnen und die entsprechende Baugruppe auszubauen. Hier wird die zweckmaessige Vorgehensweise beschrieben.

** Vor Eingriff in das Geraet ist der Netzstecker zu ziehen!

Zuerst wird die Rueckwand nach Herausdrehen der sechs Befestigungsschrauben abgenommen. Danach werden, ebenfalls von der Rueckseite aus, die drei Schrauben entfernt, mit denen die Haube am Unterteil bzw. oben am Netzteil befestigt ist. Jetzt kann die Haube bis zum Anschlag nach vorn geschoben und von den vier Arretierungsbolzen abgehoben werden, die sie mit dem Unterteil zusammenhalten. Die Schrauben werden in Gewindedurchzuege gedreht, Ein- und Ausbau ist somit unproblematisch.

** Zu beachten sind die Schutzleiterverbindungen der zu loesenden Teile. Sie sind bei der Montage wieder sorgfaeltig herzustellen!

Nach Entfernen der Haube wird der Grundaufbau sichtbar. Er ist mit fuenf Abstandsstehbolzen am Unterteil befestigt. Die zugehoerigen Befestigungsmuettern sind an der Gehaeuseunterseite von aussen zugaenglich, werden aber nicht geloest, wenn das Geraet fuer Service- oder Wartungsarbeiten geoeffnet wird.

Der Grundaufbau traegt mit Ausnahme des Netzschalters saemtliche Baugruppen und Leiterplatten:

- Kompaktnetzteil mit angeschraubtem Luefter
- Zwei Floppy-Disk-Laufwerke 5 1/4 Zoll
- 8-Bit-Mikrorechnerleiterplatte
- 16-Bit-Mikrorechnerleiterplatte
- Speicherkarten
- Anzeigeeinheit

Das Kompaktnetzteil mit Luefter ist auf der linken Seite (von hinten gesehen) mit zwei Schrauben am Grundaufbau angeschraubt. Rechts ist es in zwei Arretierbolzen eingehaengt. Nach Loesen der beiden Schrauben, Herausdruecken des Netzschalters und Abziehen der Stromversorgungskabel von den Laufwerken bzw. Leiterkarten kann das Netzteil komplett herausgenommen werden.

Die Floppy-Disk-Laufwerke sind einzeln mittels Schlitten und U-Schienen montiert und auf jeder Seite durch eine Schraube fixiert. Werden diese Schrauben und die Anschlusskabel entfernt, koennen die Laufwerke nach vorn herausgezogen werden.

Fuer Speicherbaugruppen sind fuenf Einschuebe vorgesehen. Die Leiterplatten sind gegen Lockerung durch einen mit zwei Schrauben befestigten Haltebuegel gesichert. Vor Demontage der Rechnerkarten muessen die Speicherkarten entfernt werden. Der 8-Bit-Computer enthaelt keine Speicherkarten.

Die zwei Mikrorechnerleiterplatten sind mit je sechs Montagekloetzen und zwei Profilschienen zu einem Kartenblock verbunden, der wiederum mit vier Schrauben am Grundaufbau befestigt ist. Nach Loesen dieser Schrauben, Abziehen der Anschlusskabel und Herausziehen der Speicherkarten kann der Kartenblock komplett herausgenommen werden. Durch die Anordnung der Speicherkarten vorgegeben, liegt die 16-Bit-Leiterkarte dem Geraeteinneren zugewendet, nach Herausnehmen des Kartenblockes also oben.

Soll auch der Kartenblock auseinanderggebaut werden, ist folgende Reihenfolge einzuhalten:

- (1) Kopplung 16-Bit-Rechner mit 8-Bit-Rechner trennen.
- (2) Loesen der sechs Schrauben, die die 16-Bit-Leiterkarte mit den Profilschienen verbinden (nicht die Montagekloetze von der Leiterkarte abbauen).
- (3) 16-Bit-Leiterkarte vorsichtig herausnehmen (Seite mit Interfacesteckverbinder zuerst). Die Profilschienen verbleiben an der 8-Bit-Leiterkarte.
- (4) Nach Beendigung der erforderlichen Arbeiten Montage in umgekehrter Reihenfolge vornehmen.

Die Anzeigeeinheit besteht aus einem Montagewinkel, der Leiterplatte mit der Taste <RESET>, der Taste <NMI>, den drei Leuchtdioden zur Anzeige der Betriebsbereitschaft sowie einer Frontplatte, die von sechs Abstandssaehlen gehalten wird. Sie ist elektrisch ueber ein Kabel mit der 8-Bit-Rechnerkarte verbunden. Nach Abziehen des Steckers und Loesen der zwei Befestigungsschrauben kann die Anzeigeeinheit vom Grundaufbau abgenommen werden.

2. Stromversorgung

Die Stromversorgung fuer den P8000-Computer ist ein geraetegebundenes Schaltnetzteil mit den Ausgangsdaten

- +5 V, 10 A
- +12 V, 4 A
- -12 V, 0,1 A.

Konstruktiv ist das Schaltnetzteil in einem Stahlblechgehäuse von 330 mm x 130 mm x 115 mm untergebracht. Seine senkrechte Montage sowie der an der Unterseite befestigte Ventilator sorgen fuer eine gute Belueftung des gesamten Geraetes.

Der Netzanschluss (220 V WS) erfolgt ueber einen Kaltgeraetestecker nach TGL 10267 mit Schutzleiteranschluss. Die Verbraucher werden einzeln ueber kurze mehradrige Kabel gespeist, die im Stromversorgungsteil fest angeloetet sind und in Steckverbindern enden. Die Beschaltung der Kabel zeigen die Tabellen 3.2-1 und 3.2-2.

Tabelle 3.2-1 Niederspannungsausgaenge der Stromversorgung fuer den 16-Bit- und den 8-Bit-Rechner:

Spannung	! Farbe	! Pin-Nr.	! Steckverbinder
+5 V	! rot	! AB5, A4	! (1) bzw. (2)
+12 V	! gelb	! A3	! nach
-12 V	! schwarz	! B3	! TGL 29 331/04
Masse	! blau	! AB1,AB2	!

(1) fuer 16-Bit-Rechner: Buchsenleiste 222-10

(2) fuer 8-Bit-Rechner: Steckerleiste 122-10

Tabelle 3.2-2 Niederspannungsausgaenge der Stromversorgung fuer die Floppy-Disk-Laufwerke:

Spannung	! Farbe	! Pin-Nr.	! Steckverbinder
+5 V	! rot	! 4	! AMP P/N1-48424-0
+12 V	! gelb	! 1	! mit
Masse	! blau	! 2,3	! Steckhuelse 61 473-1

Das Schaltnetzteil arbeitet nach dem Prinzip des Durchflusswandlers. Auf einer Leiterplatte sind zwei Leistungsteile untergebracht. Das eine stellt die Spannungen 5 V, -12 V und das andere die Spannung +12 V bereit. Gesteuert werden die Leistungsteile von zwei identischen

Steuerteilen, die sich auf separaten Leiterkarten befinden.

Die -12 V Spannung wird auf der Sekundaerseite des 5 V Durchflusswandlers gewonnen. Zur Funktion dieser Schaltung muss die +5 V Spannung mit mindestens 300 mA belastet werden.

Die Stromversorgung +5 V und +12 V ist mit Einrichtungen zur Strombegrenzung und zum Schutz gegen Ueberspannung ausgeruestet. Der Ausgang -12 V ist gegen Ueberstrom geschuetzt.

3. 8-Bit-Rechner Index 1

Die ersten 8-Bit-Rechner wurden im Rahmen einer Entwicklungsmusterproduktion (GLE-Produktion, vor 3/87) gefertigt. Sie bildeten die Grundlage der in die Produktion uebergeleiteten 8-Bit-Rechnerkarten Index 0 und dann weiterentwickelt Index 1. Beide Rechnerkarten unterscheiden sich nicht im Interface, dass dem Anwender zugaenglich ist.

Die 8-Bit-Rechnerkarten Index 1 (teilweise noch Index 0) sind im P8000-Computer eingesetzt, der entweder nicht oder mit der Versionsnummer "V: xlxx" gekennzeichnet ist (vgl. Kapitel 1, Abschn. 5).

3.1. Allgemeine Beschreibung

Der 8-Bit-Rechner des P8000 ist als Einkartenrechner ausgefuehrt, d.h. alle Funktionsgruppen, einschliesslich Floppy-Disk-Controller, befinden sich auf einer Leiterkarte. Es gibt kein universelles, erweiterungsfahiges Bussystem, sondern eine auf die P8000-Forderungen abgestimmte Schaltungsausfuehrung. Unter Verzicht auf Universalitaet konnte so auf eng begrenztem Raum ein kompakter, leistungsfahiger 8-Bit-Rechner realisiert werden (vgl. Bild 3.3-1).

Der Rechner, der mit einer Taktfrequenz von 4 MHz arbeitet, basiert auf dem Mikroprozessor UA880 und seinen Peripherieschaltkreisen (plus U8272 fuer die Floppy-Disk-Schnittstelle).

Der dynamisch arbeitende Hauptspeicher von 64 KByte wird ergaenzt durch 8 KByte EPROM und 2 KByte statischem RAM zum Systemanlauf, fuer Eigentestroutinen und Testmonitor. Diese Zusatzspeicher koennen dynamisch in Stufen zu 4 K im 64 K Adressraum verschoben oder abgeschaltet werden.

Konstruktiv ist die 8-Bit-Rechnerkarte als 4-Lagen-Leiterplatte im Format 380 mm x 250 mm ausgefuehrt. An einer Laengsseite der Leiterkarte befinden sich fuer 25-polige Buchsenleisten sowie eine 39-polige Steckerleiste. Diese Anschlusse sind von der Rueckseite des Computers aus zugaenglich und bilden die Interfaceanschluesse des 8-Bit-Rechners (vier serielle Kanale, ein paralleler Kanal, Floppy-Disk-Beisteller). Auf der gegenueberliegenden Seite der Karte erfolgt die Kopplung zur 16-Bit-Rechnerkarte ueber zwei 26-polige Steckverbinder.

Die Stromversorgung (+5 V, +12 V, -12 V, GND) erfolgt ueber eine 10-polige Buchsenleiste an der oberen Schmalseite der

Leiterplatte.

Bild 3.3-2 zeigt die Lage der Steckverbinder und Anordnung von Wickelstiften auf der 8-Bit-Karte. Auf ihre Funktion wird in den folgenden Abschnitten eingegangen.

Bild 3.3-1 Struktur der 8-Bit-Rechnerkarte (1)

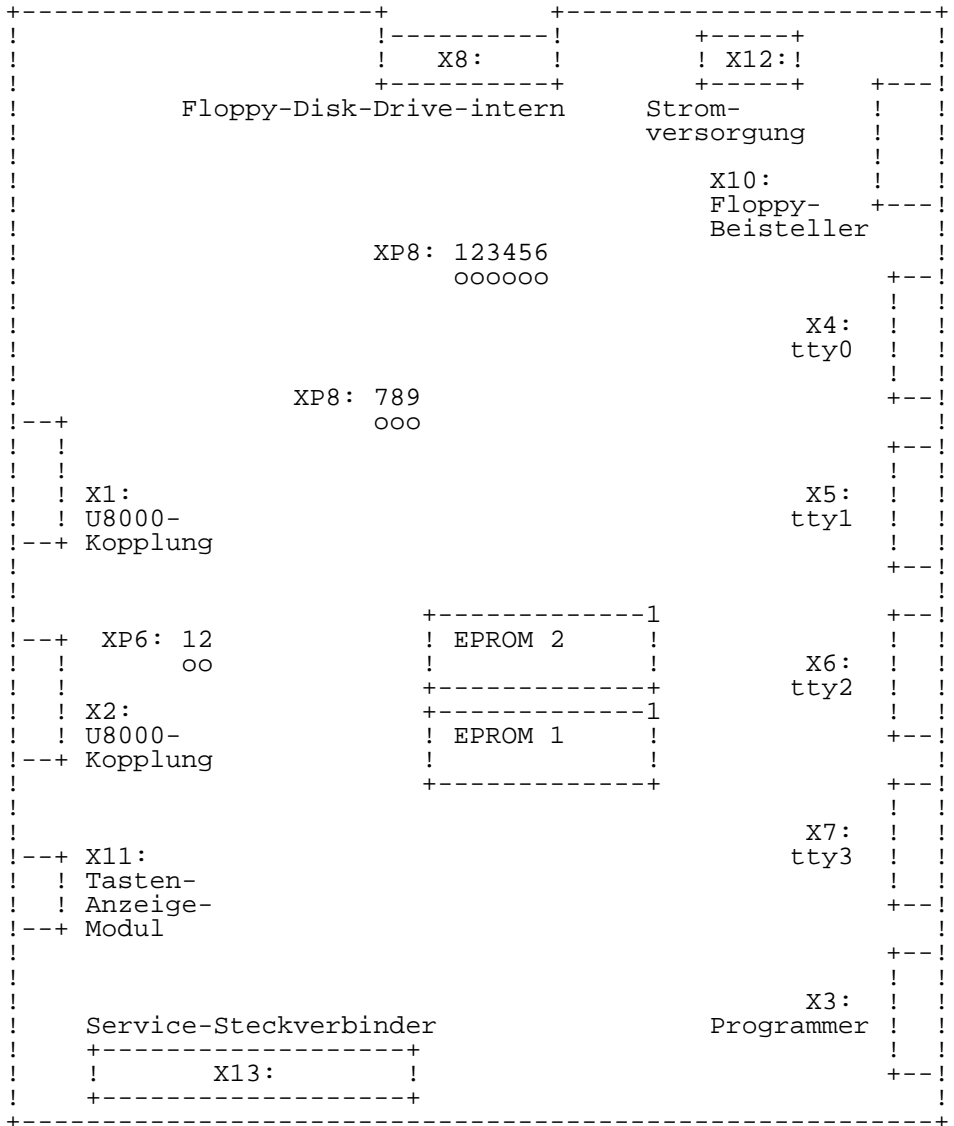


Bild 3.3-2 Steckverbinder und Wickelstifte der 8-Bit-Karte (1)

3.2. Rechnerkern

3.2.1. Systemtakterzeugung

Die Systemtakterzeugung uebernimmt der Clockgenerator-Schaltkreis DL8127. Ausgehend von einer Quarzfrequenz von 16 MHz werden von ihm folgende Taktsignale bereitgestellt:

- 4 MHz Systemtakt PHI fuer CPU und I/O-Schaltkreise
- 4 MHz TTL-Takt PHI_TTL fuer taktsynchrone Logik
- 8 MHz TTL-Takt 2PHI_TTL fuer 8" Floppy-Disk-Drives.

Fuer die Pruefung und Inbetriebnahme der 8-Bit-Rechnerkarte besteht die Moeglichkeit, die Takteinspeisung extern vorzunehmen (vgl Tabelle 3.3-1).

Tabelle 3.3-1 Wickelfeld XP8 fuer Taktversorgung:

Taktein- speisung	!	Wickelbruecken XP8		
-----	!	-----	-----	-----
intern	!	2-3	5-6	8-9
extern	!	1-2	4-5	7-8

Im Fall der externen Takteinspeisung wird die 8-Bit-Rechnerkarte mit den ueber Steckverbinder X13 eingespeisten Taktsignalen PHIE und 2PHIE betrieben. Bei interner Einspeisung uebernimmt der Clockgenerator die Taktversorgung.

3.2.2. RESET-Generierung

Nach Einschalten der Betriebsspannung wird automatisch ein Reset-Signal von ca. 1s Dauer erzeugt (Power-on Reset). Diese Aufgabe uebernimmt der Clockgeneratorschaltkreis DL8127. Der erzeugte Impuls gelangt als Open-Collektor-Signal /RES an die einzelnen Schaltkreise und an den internen Steckverbinder X13.

Nach Betaetigung der Taste <Reset> (Bediener-Reset) wird von der Baugruppe "Tasten- und Anzeigemodul" ein Low-Impuls (/RESP) von ca. 6 us Dauer erzeugt, der ueber den Steckverbinder X11 auf die 8-Bit-Rechnerkarte gelangt.

Zur Feststellung der Reset-Signal-Quelle dient das Informationssignal RESI, das ueber PIO2-A7 abgefragt werden kann. Es gilt folgende Zuordnung:

3.3. Speicher

Der Speicherbereich der 8-Bit-Rechnerkarte besteht aus drei Speicherbaenken (EPROM, statischer RAM, dynamischer RAM) und umfasst einen maximalen Adressbereich von 82 K bei einem CPU-Adressbereich von 64 K.

Nach Reset ist nur der EPROM-Bereich aktiv. Fuer den sicheren Zugriff auf die Festwertspeicher ist ein WAIT-Generator vorgesehen, der zwei WAIT-Takte erzeugt. Durch entsprechende Programmierung der Speicherbanksteuerung kann der statische bzw. dynamische RAM-Bereich aktiviert werden. EPROM- bzw. RAM-Bereich koennen in Stufen zu 4 K im gesamten Adressraum von 64 K verschoben oder ganz ausgeschaltet werden.

3.3.1. Speicherbanksteuerung

Die Auswahl der gewuenschten Speicherbank fuer eine konkrete CPU-Adresse erfolgt durch die Bank-Select-Signale, die jeweils einen Adressbereich von 4 K umfassen. Daraus ergibt sich, dass jede der drei Speicherbaenke in Stufen zu je 4 K im Adressraum von 64 K ein- bzw. ausgeschaltet werden kann. Tabelle 3.3-3 zeigt die Verteilung der Speicherbaenke und die zugeordneten Select-Signale.

Tabelle 3.3-3 Speicherbaenke der 8-Bit-Rechnerkarte:

Speicherbank	! Kurzbez.!	KByte	! Select-Signal
Festwertspeicher	! EPROM	! 4...16	! PROM_SEL
statischer RAM	! SRAM	! 2	! SRAM_SEL
dynamischer RAM	! DRAM	! 64	! DRAM_SEL

Die Speicherbanksteuerung wird aus dem Adressport "ADP" und dem Reset-Flipflop "RFF" gebildet. Im ADP koennen 16 Woerter zu 4 Bit gespeichert werden. Die Bank-Select-Signale werden durch jeweils ein Bit dieser ADP-Woerter repraesentiert (vgl. Tabelle 3.3-4 oben). Beim Wert "1" ist das zugeordnete Select-Signal aktiv, d.h. die entsprechende Speicherbank wird ausgewaehlt. In jedem ADP-Wort darf deshalb nur eine "1" auftreten!

Das ADP ist ueber die Adressbits A12...A15 mit dem Adressbus verbunden und gibt, da es im Lesebetrieb arbeitet, zu jeder auftretenden Adresse eines der 16 gespeicherten Woerter aus. In Abstaenden von 1000H (= 4 K) wird jeweils ein anderes ADP-Wort adressiert. In diesen Abstaenden koennen sich auch die Select-Signale aendern.

Das zur Speicherbanksteuerung gehoerende Reset-Flipflop sichert den ordnungsgemaessen Systemanlauf nach Zuschalten der Betriebsspannung und ermoeoglicht die Initialisierung des ADP. Das RFF wird durch "Power-on-" bzw. "Bediener-Reset" gesetzt, wodurch bei gesperrtem ADP ueber PROM_SEL der EPROM-Bereich ab Adresse 0000H freigegeben wird. Auf RAM-Baenke kann nicht zugegriffen werden. Nach erfolgter Initialisierung des APD wird das RFF rueckgesetzt und die Speicherbaenke sind wie programmiert zugaenglich.

Die Speicherbanksteuerung belegt zwei I/O-Adressen:

```

Schreiben in ADP:      WEADP   := 00H
Ruecksetzen RFF:     RES_RFF  := 04H

```

** ADP verhaelt sich bezueglich der CPU als "Write Only Register". Das Ruecksetzen des RFF ist nur einmal nach "Reset" moeglich. Es erfolgt durch eine Scheinausgabe an "RES_RFF".

3.3.2. Programmierung der Speicherbanksteuerung

Die Programmierung der Speicherbanksteuerung (d.h. Eintragen der ADP-Woerter) erfolgt mit dem Befehl OUT (C),r unter Benutzung der Adresse "WEADP". Der Inhalt des Registers "r" wird als Steuerwort in das ADP geschrieben, wobei nur die unteren 3 Bit relevant sind, da sie mit den entsprechenden Bits des Adressport-Wortes korrespondieren (vgl. Tabelle 3.3-4 oben). Werden die nicht gueltigen Datenbits D3...D7 gleich Null gesetzt, so gilt der in Tabelle 3.3-4 unten dargestellte Zusammenhang.

Tabelle 3.3-4 Zur Programmierung der Speicherbanksteuerung:

Steuerwort:	D7	D6	D5	D4	D3	D2	D1	D0	
ADP-Wort:	-	-	-	-	P3	P2	P1	P0	
					!	!	!	!	
					!	!	!	+	----- PROM_SEL
					!	!	+	+	----- SRAM_SEL
					!	+	+	+	----- DRAM_SEL
					+	+	+	+	----- nicht benutzt

Steuerwort	!	Funktion
-----	!	-----
00H	!	kein Select-Signal aktiv
01H	!	PROM_SEL aktiv
02H	!	SRAM_SEL aktiv
04H	!	DRAM_SEL aktiv

Die Schreibfreigabe des ADP erfolgt global mit der I/O-Adresse "WEADP". Die ADP-Zellen, in die Steuerwoerter geschrieben werden sollen, werden wie beim Lesen ueber die Adressbits A12...A15 adressiert. Dies ist moeglich, da die CPU bei der Ausfuehrung des Befehls OUT(C),r den Inhalt des Registers B auf den High-Adressbus legt.

Wird also Register B mit der Anfangsadresse des 4 K Bereiches geladen, in dem spaeter das im Steuerwort enthaltene Select-Signal wirksam werden soll und dann der Out-Befehl ausgefuehrt, gelangt das Steuerwort automatisch in die richtige Zelle des ADP. Zwischen dem Ziel-Adressbereich und dem Wert, der in das Register B zu laden ist, besteht der in Tabelle 3.3-5 dargestellte Zusammenhang.

Tabelle 3.3-5 ADP-Steuerwoerter:

Fuer Select-Signal wirksamer Adr.-Bereich	! In Register B ! zu ladender Wert
0000H ... 0FFFH	! 00H
1000H ... 1FFFH	! 10H
2000H ... 2FFFH	! 20H
.	!
.	!
E000H ... EFFFH	! E0H
F000H ... FFFFH	! F0H

Die Programmierung des ADP erfordert also folgenden Ablauf:

- Laden Register "r" mit Steuerwort nach Tabelle 3.3-4
- Laden Register B mit Zieladresse nach Tabelle 3.3-5
- OUT (C),r ausfuehren.

Initialisierung:

Nach Zuschalten der Betriebsspannung ist eine vollstaendige Initialisierung des ADP erforderlich, d.h. es muessen 16 Steuerwoerter an die 16 Ziel-Adressbereiche (0000H...F000H) ausgegeben werden. Ist dies geschehen, wird mit einem IN- oder OUT-Befehl mit der Adresse RES_RFF das Reset-Flipflop zurueckgesetzt und gleichzeitig damit das ADP aktiviert.

Statischer RAM:

Der statische RAM besitzt eine Kapazitaet von 2 KByte. Die Select-Signale gelten aber jeweils fuer 4 K, d.h. bei selektiertem SRAM werden von der sonst in diesem Adressbereich liegenden Speicherbank (z.B. DRAM) 4 K ausgeschaltet. In diesem Adressbereich ist der SRAM jetzt

doppelt adressierbar, da das Adressbit A11 nicht dekodiert wird.

Beispiel: SRAM soll ab Adresse 2000H adressierbar sein:

```
ld  c,WEADP
ld  a,02h      ;SRAM_SEL aktiv
ld  b,20h
out (c),a
```

Nach Ausfuehrung des OUT-Befehls liegt der SRAM im Adressbereich von 2000H...27FFH und noch einmal im Bereich 2800H...2FFFH!

3.3.3. Festwertspeicher

Die 8-Bit-Rechnerkarte arbeitet mit einer Festwertspeicherkapazitaet von 8 KByte. Realisiert wird diese mit EPROM-Schaltkreisen vom Typ 2732, fuer die zwei 24-polige Fassungen auf der Rechnerkarte vorgesehen sind (vgl. Bild 3.3-2).

3.4. Peripherie

Peripheriefunktionen des 8-Bit-Rechners sind (vgl. Bild 3.3-1):

- Systemfunktionen (CTC0)
- U8000 Kopplung (PIO0, 2 Latch DS8282)
- Parallelschnittstelle (PIO1)
- serielle Schnittstelle (SIO0, SIO1, CTC1)
- Floppy-Controller (FDC, PIO2, DMA)

Der System-CTC (CTC0) uebernimmt die Funktionen Echtzeituhr, Steuerung des Einzelschrittbetriebes, Motorabschaltung der FD-Laufwerke und - wie CTC1 - die Erzeugung von Sende- und Empfangstakt fuer die serielle Datenuebertragung.

PIO0 sowie die beiden 8-Bit-Latch (DS8282) sind speziell fuer die Kopplung mit der 16-Bit-Rechnerkarte vorgesehen. Die entsprechenden Verbindungen befinden sich im Innern des P8000-Computers, sie sind nicht von aussen zugaenglich.

Schnittstellen fuer den Anschluss externer Geraete bilden PIO1 (parallele Schnittstelle, insbesondere fuer den EPROM-Programmer), sowie die Schaltkreise SIO0 und SIO1, die das serielle Interface realisieren.

Die Floppy-Disk Schnittstelle wird von den Schaltkreisen U8272, PIO2 und DMA gebildet. Der externe Anschluss von weiteren Floppy-Disk-Drives ist ueber einen Steckverbinder moeglich.

3.4.1. I/O - Adressen

Die in Tabelle 3.3-7 aufgefuehrten Adressen der Peripherieschaltkreise sind durch den I/O-Dekoder festgelegt, sie koennen nicht veraendert werden.

Tabelle 3.3-7 I/O-Adressen:

Adresse	Funktion
00H	Schreibfreigabe Adressport (WEADP)
04H	Ruecksetzen des Reset-Flipflop (RES_RFF)
08H	CTC0: Kanal 0 Baud-Generator 3
09H	Kanal 1 Floppy-Disk
0AH	Kanal 2 System-Kanal
0BH	Kanal 3 frei
0CH	PIO0: Port A, Daten U8000-Kopplung
0DH	Port A, Control
0EH	Port B, Daten U8000-Kopplung
0FH	Port B, Control
10H	Datenport 1 (DS8282) U8000-Kopplung
14H	Datenport 2 (DS8282) U8000-Kopplung
18H	PIO1: Port A, Daten Programmier
19H	Port A, Control
1AH	Port B, Daten Programmier
1BH	Port B, Control
1CH	PIO2: Port A, Daten Floppy-Disk
1DH	Port A, Control
1EH	Port B, Daten Floppy-Disk
1FH	Port B, Control
20H	FDC: Statusregister Floppy-Disk
21H	Datenregister
24H	SIO0: Kanal A, Daten serieller Kanal 0
25H	Kanal A, Control
26H	Kanal B, Daten serieller Kanal 1
27H	Kanal B, Control
28H	SIO1: Kanal A, Daten serieller Kanal 2
29H	Kanal A, Control
2AH	Kanal B, Daten serieller Kanal 3
2BH	Kanal B, Control
2CH	CTC1: Kanal 0 Baud-Generator 0
2DH	Kanal 1 Baud-Generator 1
2EH	Kanal 2 Baud-Generator 2
2FH	Kanal 3 frei
30H..3BH	Reserve (ueber X13 zugaenglich)
3CH	DMA Floppy-Disk

3.4.2. Serielle Schnittstellen

Der 8-Bit-Rechner besitzt vier serielle Kanäle, die mit tty0 bis tty3 bezeichnet werden. Es kann wahlweise mit V.24- bzw. IFSS-Signalen gearbeitet werden (vgl. Tabelle 3.3-8).

** Zu diesem Komplex ist Kapitel 2 Abschnitt 5 "Interfacekabel(1)" zu beachten!

Das Interface ist als Datenerübertragungseinrichtung -DUE- entsprechend TGL 29077/01 ausgeführt und mit einer 25-poligen Buchsenleiste (203-25-EBS-GO 4006/01-2) ausgerüstet. Der erste Kanal (tty0) ist so ausgebaut, dass eine Datenerübertragungseinrichtung (DNUe) vom Typ K8172 angeschlossen werden kann.

Die Schnittstellenleitungen, die im jeweiligen tty-Kanal zur Verfügung stehen, sind in den Tabellen 3.3-9 und 3.3-12 aufgeführt.

Tabelle 3.3-8 Serielles Interface:

serieller Kanal	SIO-Kanal	Funktion	Buchse
tty0	SIO0 - A	V.24 fuer DNUe / IFSS	X4
tty1	SIO0 - B	V.24 abger. / IFSS	X5
tty2	SIO1 - A	V.24 abger. / IFSS	X6
tty3	SIO1 - B	V.24 abger. / IFSS	X7

Im Kanal tty0 (Buchse X4) existieren drei Anschlüsse (TxCE, RxCE und CPO) fuer die Um- bzw. Zuschaltung des Sende- und Empfangsschrittaktes. Diese sind bei Bedarf im Anschlussstecker entsprechend Tabelle 3.3-10 zu bruecken.

Tabelle 3.3-9 Kanal tty0 (Buchse X4):

Stecker-anschluss	Leitungsnummer	Ein-/Ausg.	Kurzzeichen	Funktion
2	103	E	RD	Empfangsdaten
3	104	A	TD	Sendedaten
(4	105	E	CTS	Sendebereitschaft) (1)
5	106	A	RTS	Sendeteil einschalten
(6	107	E	DSR	Betriebsbereitschaft) (1)
7	102	-	SG (Q-)	Betriebserde
8	109	A	DTR	Endgeraet bereit
15	114	E	TC	Sendeschrittakt von DUE
17	115	E	RC	Empf.schrittakt von DUE
20	108	E	DCD	Empfangssignalpegel
24	113	A	TC	Sendeschrittakt zur DUE
11	-	E	RxCE	Umschalt. auf 115 (RC)
25	-	E	TxCE	Umschalt. auf 114 (TC)
9	-	E	IFSS	Umschaltung auf IFSS
18	-	E	CPO	Zuschalt. von 113 (TC)
10	(IFSS)	A	SD+	Stromausgang Sender
13	(IFSS)	A	ED+	Stromausgang Empfaenger
14	(IFSS)	E	ED-	Stromeingang Empfaenger
19	(IFSS)	E	SD-	Stromeingang Sender
12	(IFSS)	A	Q+	Stromquellenausgang

(1) Die Nutzung dieser Signale ist vorerst nur nach einer Schaltungsänderung auf der Rechnerkarte möglich!

Tabelle 3.3-10 Umschaltung des Sende- und Empfangstaktes:

Takteinspeisung	! Bruecke zwischen den ! Signalen/Anschluessen
Sendetakt extern ueber 114 (TC)	! TxCE / 25 - SG / 7
Sendetakt intern von CTC1/0	! keine Bruecke
Empfangstakt extern ueber 115 (RC)	! RxCE / 11 - SG / 7
Empfangstakt intern von CTC1/0	! keine Bruecke
Sendetakt von CTC1/0 zur DUE ueber Leitung 113 (TC) durchgeschaltet	! CPO / 18 - SG / 7
Sendetakt von CTC1/0 zur DUE ueber Leitung 113 (TC) abgetrennt	! keine Bruecke

Die Kanäle tty1, tty2 und tty3 sind gegenueber tty0 abgeruestet, sie weisen fuer V.24-Uebertragung nur die Leitungen 102, 103, 104, 108, 109 auf (vgl. Tabelle 3.3-11).

Alle seriellen Kanäle können auf IFSS-Stromschleifen-Betrieb umgeschaltet werden. Dazu sind im Anschlussstecker des jeweiligen Kabels die Kontakte IFSS/9 und SG/7 miteinander zu verbinden. Die Sender sind aktiv ausgeführt und dürfen in der Gegenstelle mit maximal einem Empfänger beschaltet werden. Die Empfänger sind passiv ausgeführt, können aber durch die am Anschluss 12 zur Verfügung stehende Stromquelle, auch aktiv betrieben werden (vgl. Kap. 2, Abschn. 5).

Tabelle 3.3-11 Kanäle tty1, tty2, tty3 (Buchsen X5, X6, X7):

Stecker-anschluss	Leitungsnummer	Ein-/Ausg.	Kurzzeichen	Funktion
2	103	E	RD	Empfangsdaten
3	104	A	TD	Sendedaten
7	102	-	SG (Q-)	Betriebserde
8	109	A	DTR	Endgeräet bereit
20	108	E	DCD	Empfangssignalpegel
9	-	E	IFSS	Umschaltung auf IFSS
10	(IFSS)	A	SD+	Stromausgang Sender
13	(IFSS)	A	ED+	Stromausgang Empfänger
14	(IFSS)	E	ED-	Stromeingang Empfänger
19	(IFSS)	E	SD-	Stromeingang Sender
12	(IFSS)	A	Q+	Stromquellenausgang

Zur Realisierung der erforderlichen Taktraten sind ein Taktgenerator, ein 8-fach Vorteiler und vier CTC-Kanäle (CTC0 Kanal 0, CTC1 Kanal 0-2) mit nachfolgenden 2-fach Teilern vorhanden (vgl. Bild 3.3-2). Durch Programmierung der CTC's als Zähler können somit folgende Baudraten eingestellt werden:

19200 Bit/s	2400 Bit/s	300 Bit/s
9600 Bit/s	1200 Bit/s	150 Bit/s
4800 Bit/s	600 Bit/s	75 Bit/s

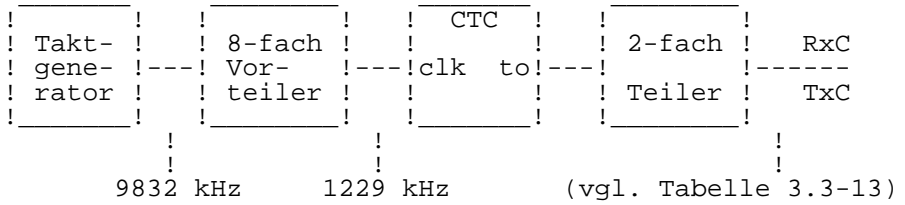


Bild 3.3-2 Teilerkette zur Baud-Raten Generierung

Tabelle 3.3-12 Zuordnung der CTC-Kanaele (Baudraten-generatoren) zu den SIO- bzw. Uebertragungs-kanaelen:

serieller Kanal	SIO-Nr./ Kanal / Anmerkungen	CTC-Nr./ Kanal
tty0	SIO0 / A / (1)	CTC1 / 0
tty1	SIO0 / B	CTC1 / 1
tty2	SIO1 / A	CTC1 / 2
tty3	SIO1 / B	CTC0 / 0

(1) Ueber die Signale RxCE und TxCE besteht die Moeglichkeit, den Modem-Kanal tty0 wahlweise mit dem durch CTC0/Kanal0 bereitgestellten internen Takt oder mit dem vom Modem extern bereitgestellten Sende- bzw. Empfangsschrittakt (TC bzw. RC) zu betreiben. Ausserdem besteht die Moeglichkeit, mit Hilfe des Signals CPO den internen Takt als Signal TC zur DUE zu uebertragen (vgl. Tabelle 3.3-10).

Tabelle 3.3-13 Realisierung der Uebertragungsraten durch CTC-Zeitkonstanten und SIO-Vorteiler:

Baud-Rate	CTC-Zeitkonst.	SIO-Vorteiler
19200	1	32
9600	2 (1)	32 (64)
4800	4 (2)	32 (64)
2400	8 (4)	32 (64)
1200	16 (8)	32 (64)
600	32 (16)	32 (64)
300	64 (32)	32 (64)
150	128 (64)	32 (64)
75	256 (128)	32 (64)

3.4.3. Parallele Schnittstellen

Die parallelen Schnittstellen sind fuer den Anschluss der EPROM-Programmiereinrichtung bzw. zur Kopplung der 8-Bit mit der 16-Bit-Mikrorechnerkarte vorgesehen.

Die Schnittstelle fuer die EPROM-Programmiereinrichtung ist mit den Schaltkreis UA855D ohne Treiber realisiert. Alle Portleitungen sowie die Stromversorgungsanschluesse (+5 V, +12 V, GND) sind auf die 25-polige Buchsenleiste (202-25-EBS-GO 4006/01-2) gefuehrt (vgl. Tabelle 3.3-14).

Tabelle 3.3-14 Schnittstelle "Programmer" (Buchse X3):

Stecker- anschluss	! Kurz- zeichen !	! Funktion
1	! GND	! Ground / Masse
2	! /ASTB	! Port A Strobe
3	! A0	! Port A Bit 0
4	! A1	! Port A Bit 1
5	! A2	! Port A Bit 2
6	! A3	! Port A Bit 3
7	! GND	! Ground / Masse
8	! A4	! Port A Bit 4
9	! A5	! Port A Bit 5
10	! A6	! Port A Bit 6
11	! A7	! Port A Bit 7
12	! ARDY	! Port A Ready
13	! +12 V	! +12 V Stromversorgung
14	! +5 V	! +5 V Stromversorgung
15	! /BSTB	! Port B Strobe
16	! B0	! Port B Bit 0
17	! B1	! Port B Bit 1
18	! B2	! Port B Bit 2
19	! B3	! Port B Bit 3
20	! +5 V	! +5 V Stromversorgung
21	! B4	! Port B Bit 4
22	! B5	! Port B Bit 5
23	! B6	! Port B Bit 6
24	! B7	! Port B Bit 7
25	! BRDY	! Port B Ready

Die Kopplung der 16-Bit-Rechnerkarte wird mit einem Schaltkreis UA855D (PIO0) und zwei Latch DS8282 realisiert. Die beiden PIO-Ports werden fuer Eingabezwecke und die beiden Latch-Ports fuer Ausgabezwecke benutzt. Die Koppelsignale sind auf zwei Steckverbinder (X1, X2) gefuehrt.

Tabelle 3.3-15 U8000-Kopplung (Steckerleisten X1, X2):

Kurz- zeichen	! Stecker/ ! Anschluss!	Funktion

D0/8-16	! X1 / B4	! Datenbit 0 (8-Bit -> 16-Bit)
D1/8-16	! X1 / A6	! Datenbit 1 (8-Bit -> 16-Bit)
D2/8-16	! X1 / A7	! Datenbit 2 (8-Bit -> 16-Bit)
D3/8-16	! X1 / B13	! Datenbit 3 (8-Bit -> 16-Bit)
D4/8-16	! X1 / B11	! Datenbit 4 (8-Bit -> 16-Bit)
D5/8-16	! X1 / B10	! Datenbit 5 (8-Bit -> 16-Bit)
D6/8-16	! X1 / B9	! Datenbit 6 (8-Bit -> 16-Bit)
D7/8-16	! X1 / B8	! Datenbit 7 (8-Bit -> 16-Bit)

D0/16-8	! X2 / B2	! Datenbit 0 (16-Bit -> 8-Bit)
D1/16-8	! X2 / B9	! Datenbit 1 (16-Bit -> 8-Bit)
D2/16-8	! X2 / B8	! Datenbit 2 (16-Bit -> 8-Bit)
D3/16-8	! X2 / B7	! Datenbit 3 (16-Bit -> 8-Bit)
D4/16-8	! X2 / B1	! Datenbit 4 (16-Bit -> 8-Bit)
D5/16-8	! X2 / A10	! Datenbit 5 (16-Bit -> 8-Bit)
D6/16-8	! X2 / A8	! Datenbit 6 (16-Bit -> 8-Bit)
D7/16-8	! X2 / A1	! Datenbit 7 (16-Bit -> 8-Bit)

V1/8-16	! X1 / A12	! Vektorbit 1 (8-Bit -> 16-Bit)
V2/8-16	! X1 / A11	! Vektorbit 2 (8-Bit -> 16-Bit)
V3/8-16	! X1 / A10	! Vektorbit 3 (8-Bit -> 16-Bit)
V4/8-16	! X1 / A9	! Vektorbit 4 (8-Bit -> 16-Bit)
V5/8-16	! X1 / A8	! Vektorbit 5 (8-Bit -> 16-Bit)
V6/8-16	! X1 / B7	! Vektorbit 6 (8-Bit -> 16-Bit)

V1/16-8	! X2 / A5	! Vektorbit 1 (16-Bit -> 8-Bit)
V2/16-8	! X2 / A4	! Vektorbit 2 (16-Bit -> 8-Bit)
V3/16-8	! X2 / A3	! Vektorbit 3 (16-Bit -> 8-Bit)
V4/16-8	! X2 / A2	! Vektorbit 4 (16-Bit -> 8-Bit)

RDY/8-16	! X1 / A5	! Bereit fuer Daten 8-Bit -> 16-Bit
EO_8/DD_16	! X1 / A3	! Uebernahme Daten 8-Bit -> 16-Bit
DD_8/EO_16	! X2 / B5	! Uebernahme Daten 16-Bit -> 8-Bit
RDY/16-8	! X2 / B3	! Bereit fuer Daten 16-Bit -> 8-Bit
INT_8	! X2 / A6	! Interrupt zum 8-Bit-Rechner
INT_16	! X1 / A13	! Interrupt zum 16-Bit-Rechner
/RESET_U8000	! X1 / B1	! Freigabe 16-Bit (8-Bit -> 16-Bit)
/NMI_U8000	! X1 / B5	! /NMI 16-Bit (8-Bit -> 16-Bit)

3.4.4. Floppy-Disk Schnittstelle

Die Floppy-Disk Schnittstelle ist so ausgelegt, dass 4 Floppy-Disk Drives (FDD) angeschlossen werden koennen. Dafuer stehen zwei Steckverbinder zur Verfuegung, von denen einer ("Floppy"/X10) von aussen zugaenglich ist. An den

internen Steckverbinder X8 sind die beiden im Grundgeraet befindlichen FDD (Drive0 und Drive1) angeschlossen.

Tabelle 3.3-16 Interner FDD-Anschluss (Steckerleiste X8):

Stecker-anschluss	Kurzzeichen	Funktion
A1	/TS	TWO SIDE / zweite Diskettenseite
A2	/SE3	SELECT 3 / Anwahl Drive 3
A3	/IDXM	INDEX MINI / Index-Impuls
A4	/SE0	SELECT 0 / Anwahl Drive 0
A5	/SE2	SELECT 2 / Anwahl Drive 2
A6	GND	GROUND / Masse
A7	/STP	STEP / Schritt-Impuls
A8	/WRDATA	WRITE DATA / zu schreibende Daten
A9	/WE	WRITE ENABLE / Schreibfreigabe
A10	GND	GROUND / Masse
A11	GND	GROUND / Masse
A12	GND	GROUND / Masse
A13	/RDY	READY / Bereitschaft
B1	/HDS	HEAD SELECT / Kopfauswahl
B2	GND	GROUND / Masse
B3	GND	GROUND / Masse
B4	GND	GROUND / Masse
B5	/SEL	SELECT 1 / Anwahl Drive 1
B6	frei bei Leiterplattenindex 1 (1)	
B7	/DIR	DIRECTION / Schritt-Richtung
B8	GND	GROUND / Masse
B9	GND	GROUND / Masse
B10	/TRK0	TRACK 00 / Spur 0
B11	/WP	WRITE PROTECT / Schreibschutz
B12	/RDDATA	READ DATA / gelesene Daten
B13	GND	GROUND / Masse

(1) Bei Leiterplattenindex 0: /MO0 (MOTOR ON Drive 0)

Der von aussen zugaengliche Steckverbinder "Floppy" ist fuer den Anschluss eines Floppy-Disk Beistellers vorgesehen. Es kann die 8" FD-Einheit des Personal-Computers PC1715 verwendet werden. Vor Anschluss dieses oder eines anderen Geraetes sollte aber auf jeden Fall der Interface-Stecker nach Tabelle 3.3-17 ueberprueft und gegebenenfalls modifiziert werden!

Tabelle 3.3-17 FDD-Anschluss "Floppy" (Steckerleiste X10):

Stecker- anschluss	Kurz- zeichen	Funktion
A1	! GND	! GROUND / Masse
A2	! /MO3	! MOTOR ON 3 / Motor ein Drive 3
A3	! /MO1	! MOTOR ON 1 / Motor ein Drive 1
A4	! /RDY	! READY / Bereitschaft
A5	! /TRK0	! TRACK 00 / Spur 0
A6	! /WP	! WRITE PROTECT / Schreibschutz
A7	! /FW	! FAULT WRITE / fehlerhaftes Schreiben
A8	! /RDDATA	! READ DATA / gelesene Daten
A9	! /IDXS	! INDEX STANDARD / Index-Impuls
A10	! /FR	! FAULT RESET / Fehler Reset
A11	! /SE0	! SELECT 0 / Anwahl Drive 0
A12	! -	! frei
A13	! -	! frei
B1	! GND	! GROUND / Masse
:	! :	! :
:	! :	! :
B9	! GND	! GROUND / Masse
B10	! -	! frei
B11	! -	! frei
B12	! -	! frei
B13	! -	! frei
C1	! GND	! GROUND / Masse
C2	! /MO2	! MOTOR ON 2 / Motor ein Drive 2
C3	! /MO0	! MOTOR ON 0 / Motor ein Drive 0
C4	! /HDL	! HEAD LOAD / Kopf anlegen
C5	! /SE1	! SELECT 1 / Anwahl Drive 1
C6	! /STP	! STEP / Schritt-Impuls
C7	! -	! frei
C8	! /WRDATA	! WRITE DATA / zu schreibende Daten
C9	! /WE	! WRITE ENABLE / Schreibfreigabe
C10	! /DIR	! DIRECTION / Schritt-Richtung
C11	! /SE2	! SELECT 2 / Anwahl Drive 2
C12	! /SE3	! SELECT 3 / Anwahl Drive 3
C13	! -	! frei

3.4.5. Sonstige Schnittstellen

Die hier aufgefuehrten Schnittstellen sind nicht von aussen zugaenglich und dienen der Komplettierung, Erweiterung und Pruefung der 8-Bit-Rechnerkarte.

Ueber den Steckverbinder X11 wird die Verbindung der 8-Bit-Rechnerkarte mit dem Tasten- und Anzeigemodul hergestellt.

Der Steckverbinder X12 dient zum Anschluss der Rechnerkarte an den Stromversorgungsmodul.

Der Steckverbinder X13 ist fuer den Anschluss eines Service-Geraetes zur Inbetriebnahme der 8-Bit-Rechnerkarte vorgesehen. Ueber X13 sind ausserdem Signale zugaenglich, die in speziellen Faellen eine Erweiterung der 8-Bit-Rechnerkarte zulassen.

Tabelle 3.3-18 Tasten- und Anzeigemodul (Buchsenleiste X11):

Stecker-anschluss	Kurzzeichen	Funktion
A1	/RESP	Reset-Impuls zum 8-Bit-Rechner
A2	GND	Ground / Masse
A3	+12 V	+12 V Spannungsanzeige
A4	-	frei
A5	+5 V	+5 V Spannungsanzeige und Stromvers.
B1	/NMIP	NMI-Impuls zum 8-Bit-Rechner
B2	GND	Ground / Masse
B3	-12 V	-12 V Spannungsanzeige
B4	-	frei
B5	+5 V	+5 V Spannungsanzeige und Stromvers.

Tabelle 3.3-19 Stromversorgung (Steckerleiste X12):

Stecker-anschluss	Kurzzeichen	Funktion
A1	GND	Ground / Masse
A2	GND	Ground / Masse
A3	+12 V	Stromversorgung +12 V
A4	+5 V	Stromversorgung +5 V
A5	+5 V	Stromversorgung +5 V
B1	GND	Ground / Masse
B2	GND	Ground / Masse
B3	-12 V	Stromversorgung -12 V
B4	-	frei
B5	+5 V	Stromversorgung +5 V

Tabelle 3.3-20 Service-Steckverbinder (Buchsenleiste X13):

Stecker- anschluss	Kurz- zeichen	Funktion
A1	GND	Ground / Masse
A2	GND	Ground / Masse
A3	/CE-RES1	Chip-Enable-Reserve 1
A4	D7	Datenbit 7
A5	D5	Datenbit 5
A6	D3	Datenbit 3
A7	D1	Datenbit 1
A8	/WR	Schreib-Freigabe
A9	/MREQ	Speicher-Anforderung
A10	/BAO	Busanforderung Ausgang
A11	IA14	Adressbit 14 (interner Bus)
A12	IA12	Adressbit 12 (interner Bus)
A13	IA10	Adressbit 10 (interner Bus)
A14	IA8	Adressbit 8 (interner Bus)
A15	/CPBAUD	Baud-Takt (1,229 MHz)
A16	IA6	Adressbit 6 (interner Bus)
A17	IA4	Adressbit 4 (interner Bus)
A18	IA2	Adressbit 2 (interner Bus)
A19	IA0	Adressbit 0 (interner Bus)
A20	/RESET	Reset-Signal
A21	PHI_TTL	TTL-Systemtakt
A22	PHIE	extern einspeisbarer Takt
A23	/NMI	nicht maskierter Interrupt
A24	/WAIT	Warte-Impulse
A25	/RFSH	Auffrisch-Impulse
A26	/M1	Maschinenzyklus 1
A27	-	frei
A28	IEIT	Trennung Prioritaetskette / Eingang
A29	+5 V	Stromversorgung +5 V
B1	GND	Ground / Masse
B2	GND	Ground / Masse
B3	/CE-RES2	Chip-Enable-Reserve 2
B4	D6	Datenbit 6
B5	D4	Datenbit 4
B6	D2	Datenbit 2
B7	D0	Datenbit 0
B8	/RD	Lese-Freigabe
B9	/MEMDI	Speicher-Blockierung
B10	-	frei
B11	IA15	Adressbit 15 (interner Bus)
B12	IA13	Adressbit 13 (interner Bus)
B13	IA11	Adressbit 11 (interner Bus)
B14	IA9	Adressbit 9 (interner Bus)
B15	/CE-RES3	Chip-Enable-Reserve 3
B16	IA7	Adressbit 7 (interner Bus)
B17	IA5	Adressbit 5 (interner Bus)
B18	IA3	Adressbit 3 (interner Bus)

B19	!	IA1	!	Adressbit 1	(interner Bus)
B20	!	/BUSRQ	!	Bus-Anforderung	
B21	!	-	!	frei	
B22	!	-	!	frei	
B23	!	/INT	!	Interrupt	
B24	!	/IORQ	!	Ein-Ausgabe-Anforderung	
B25	!	2PHIE	!	extern einspeisbarer Takt	
B26	!	/HALT	!	Halt-Zustand	
B27	!	/BUSAK	!	Bus-Freigabe	
B28	!	IEOT	!	Trennung Prioritaetskette	/ Ausgang
B29	!	+5 V	!	Stromversorgung	+5 V

Gegenueber der ueblichen Zaehlweise sind die Seiten A und B an dieser Buchsenleiste vertauscht!

4. 8-Bit-Rechner Index 3

Die Weiterentwicklung der 8-Bit-Rechnerkarte fuehrt ueber Index 2 zur Leiterkarte Index 3. Index 2 bezeichnet einen internen Arbeitsstand, Index 3 wird im P8000-Computer eingesetzt. Dieser ist dann mit der Versionsnummer "V: x3xx" gekennzeichnet (vgl. Kapitel 1, Abschn. 5).

Bei dem neuen Leiterplattenindex ist folgendes besonders zu beachten:

- ** Die 8-Bit-Rechnerkarten Index 3 besitzen veraenderte Interface-Anschlusse!
- ** 8-Bit-Rechnerkarten Index ≥ 3 duerfen nur mit 16-Bit-Rechnerkarten Index ≥ 4 gekoppelt werden!
- ** Der P8000-Computer V: 43xx erfordert gegenueber V: 11xx geaenderte Interfacekabel (vgl. Kapitel 2, Abschn. 6)!

4.1. Allgemeine Beschreibung

Der 8-Bit-Rechner des P8000 ist als Einkartenrechner ausgefuehrt, d.h. alle Funktionsgruppen, einschliesslich Floppy-Disk-Controller, befinden sich auf einer Leiterkarte. Es gibt kein universelles, erweiterungsfahiges Bussystem, sondern eine auf die P8000-Forderungen abgestimmte Schaltungsausfuehrung. Unter Verzicht auf Universalitaet konnte so auf eng begrenztem Raum ein kompakter, leistungsfahiger 8-Bit-Rechner realisiert werden (vgl. Bild 3.4-1).

Der Rechner, der mit einer Taktfrequenz von 4 MHz arbeitet, basiert auf dem Mikroprozessor UA880 und seinen Peripherieschaltkreisen (plus U8272 fuer die Floppy-Disk-Schnittstelle).

Der dynamisch arbeitende Hauptspeicher von 64 KByte wird ergaenzt durch 8 KByte EPROM und 2 KByte statischem RAM zum Systemanlauf, fuer Eigentestroutinen und Testmonitor. Diese Zusatzspeicher koennen dynamisch in Stufen zu 4 K im 64 K Adressraum verschoben oder abgeschaltet werden.

Konstruktiv ist die 8-Bit-Rechnerkarte als 6-Lagen-Leiterplatte im Format 380 mm x 250 mm ausgefuehrt. An einer Laengsseite der Leiterkarte befinden sich fuenf 25-polige Buchsenleisten sowie eine 39-polige Steckerleiste. Diese Anschlusse sind von der Rueckseite des Computers aus zugaenglich und bilden die Interfaceanschlusse des 8-Bit-Rechners (vier serielle Kanale, ein paralleler Kanal,

Floppy-Disk-Beisteller). Auf der gegenueberliegenden Seite der Karte erfolgt die Kopplung zur 16-Bit-Rechnerkarte ueber zwei 26-polige Steckverbinder.

Die Stromversorgung (+5 V, +12 V, -12 V, GND) erfolgt ueber eine 10-polige Buchsenleiste an der oberen Schmalseite der Leiterplatte.

Bild 3.4-2 zeigt die Lage der Steckverbinder und Anordnung von Wickelstiften auf der 8-Bit-Karte. Auf ihre Funktion wird in den folgenden Abschnitten eingegangen.

Bild 3.4-1 Struktur der 8-Bit-Rechnerkarte (3)

4.2. Rechnerkern

4.2.1. Systemtakterzeugung

Die Systemtakterzeugung uebernimmt der Clockgenerator-Schaltkreis DL8127. Ausgehend von einer Quarzfrequenz von 16 MHz werden von ihm folgende Taktsignale bereitgestellt:

- 4 MHz Systemtakt PHI fuer CPU und I/O-Schaltkreise
- 4 MHz TTL-Takt PHI_TTL fuer taktsynchrone Logik
- 8 MHz TTL-Takt 2PHI_TTL fuer 8" Floppy-Disk-Drives.

Fuer die Pruefung und Inbetriebnahme der 8-Bit-Rechnerkarte besteht die Moeglichkeit, die Takteinspeisung extern vorzunehmen (vgl Tabelle 3.4-1).

Tabelle 3.4-1 Wickelfeld XP7 und XP8 fuer Taktversorgung:

Taktein- speisung	Wickelbruecken			
	XP7		XP8	
intern	2-3	!	2-3	5-6
extern	1-2	!	1-2	4-5

Im Fall der externen Takteinspeisung wird die 8-Bit-Rechnerkarte mit den ueber Steckverbinder X13 eingespeisten Taktsignalen PHIE und 2PHIE betrieben. Bei interner Einspeisung uebernimmt der Clockgenerator die Taktversorgung.

4.2.2. RESET-Generierung

Nach Einschalten der Betriebsspannung wird automatisch ein Reset-Signal von ca. 1s Dauer erzeugt (Power-on Reset). Diese Aufgabe uebernimmt der Clockgeneratorschaltkreis DL8127. Der erzeugte Impuls gelangt als Open-Collektor-Signal /RES an die einzelnen Schaltkreise und an den internen Steckverbinder X13.

Nach Betaetigung der Taste <Reset> (Bediener-Reset) wird von der Baugruppe "Tasten- und Anzeigemodul" ein Low-Impuls (/RESP) von ca. 6 us Dauer erzeugt, der ueber den Steckverbinder X11 auf die 8-Bit-Rechnerkarte gelangt.

Zur Feststellung der Reset-Signal-Quelle dient das Informationssignal RESI, das ueber PIO2-A7 abgefragt werden kann. Es gilt folgende Zuordnung:

4.3. Speicher

Der Speicherbereich der 8-Bit-Rechnerkarte besteht aus drei Speicherbaenken (EPROM, statischer RAM, dynamischer RAM) und umfasst einen maximalen Adressbereich von 82 K bei einem CPU-Adressbereich von 64 K.

Nach Reset ist nur der EPROM-Bereich aktiv. Fuer den sicheren Zugriff auf die Festwertspeicher ist ein WAIT-Generator vorgesehen, der zwei WAIT-Takte erzeugt. Durch entsprechende Programmierung der Speicherbanksteuerung kann der statische bzw. dynamische RAM-Bereich aktiviert werden. EPROM- bzw. RAM-Bereich koennen in Stufen zu 4 K im gesamten Adressraum von 64 K verschoben oder ganz ausgeschaltet werden.

4.3.1. Speicherbanksteuerung

Die Auswahl der gewuenschten Speicherbank fuer eine konkrete CPU-Adresse erfolgt durch die Bank-Select-Signale, die jeweils einen Adressbereich von 4 K umfassen. Daraus ergibt sich, dass jede der drei Speicherbaenke in Stufen zu je 4 K im Adressraum von 64 K ein- bzw. ausgeschaltet werden kann. Tabelle 3.4-3 zeigt die Verteilung der Speicherbaenke und die zugeordneten Select-Signale.

Tabelle 3.4-3 Speicherbaenke der 8-Bit-Rechnerkarte:

Speicherbank	! Kurzbez.!	KByte	! Select-Signal
Festwertspeicher	! EPROM	! 4...16	! PROM_SEL
statischer RAM	! SRAM	! 2	! SRAM_SEL
dynamischer RAM	! DRAM	! 64	! DRAM_SEL

Die Speicherbanksteuerung wird aus dem Adressport "ADP" und dem Reset-Flipflop "RFF" gebildet. Im ADP koennen 16 Woerter zu 4 Bit gespeichert werden. Die Bank-Select-Signale werden durch jeweils ein Bit dieser ADP-Woerter repraesentiert (vgl. Tabelle 3.4-4 oben). Beim Wert "1" ist das zugeordnete Select-Signal aktiv, d.h. die entsprechende Speicherbank wird ausgewaehlt. In jedem ADP-Wort darf deshalb nur eine "1" auftreten!

Das ADP ist ueber die Adressbits A12...A15 mit dem Adressbus verbunden und gibt, da es im Lesebetrieb arbeitet, zu jeder auftretenden Adresse eines der 16 gespeicherten Woerter aus. In Abstaenden von 1000H (= 4 K) wird jeweils ein anderes ADP-Wort adressiert. In diesen Abstaenden koennen sich auch die Select-Signale aendern.

Das zur Speicherbanksteuerung gehoerende Reset-Flipflop sichert den ordnungsgemaessen Systemanlauf nach Zuschalten der Betriebsspannung und ermoeoglicht die Initialisierung des ADP. Das RFF wird durch "Power-on-" bzw. "Bediener-Reset" gesetzt, wodurch bei gesperrtem ADP ueber PROM_SEL der EPROM-Bereich ab Adresse 0000H freigegeben wird. Auf RAM-Baenke kann nicht zugegriffen werden. Nach erfolgter Initialisierung des APD wird das RFF rueckgesetzt und die Speicherbaenke sind wie programmiert zugaenglich.

Die Speicherbanksteuerung belegt zwei I/O-Adressen:

```

Schreiben in ADP:      WEADP   := 00H
Ruecksetzen RFF:     RES_RFF  := 04H

```

** ADP verhaelt sich bezueglich der CPU als "Write Only Register". Das Ruecksetzen des RFF ist nur einmal nach "Reset" moeglich. Es erfolgt durch eine Scheinausgabe an "RES_RFF".

4.3.2. Programmierung der Speicherbanksteuerung

Die Programmierung der Speicherbanksteuerung (d.h. Eintragen der ADP-Woerter) erfolgt mit dem Befehl OUT (C),r unter Benutzung der Adresse "WEADP". Der Inhalt des Registers "r" wird als Steuerwort in das ADP geschrieben, wobei nur die unteren 3 Bit relevant sind, da sie mit den entsprechenden Bits des Adressport-Wortes korrespondieren (vgl. Tabelle 3.4-4 oben). Werden die nicht gueltigen Datenbits D3...D7 gleich Null gesetzt, so gilt der in Tabelle 3.4-4 unten dargestellte Zusammenhang.

Tabelle 3.4-4 Zur Programmierung der Speicherbanksteuerung:

Steuerwort:	D7	D6	D5	D4	D3	D2	D1	D0	
ADP-Wort:	-	-	-	-	P3	P2	P1	P0	
					!	!	!	!	
					!	!	!	+	PROM_SEL
					!	!	+	+	SRAM_SEL
					!	+	+	+	DRAM_SEL
					+	+	+	+	nicht benutzt

Steuerwort	! Funktion
00H	! kein Select-Signal aktiv
01H	! PROM_SEL aktiv
02H	! SRAM_SEL aktiv
04H	! DRAM_SEL aktiv

Die Schreibfreigabe des ADP erfolgt global mit der I/O-Adresse "WEADP". Die ADP-Zellen, in die Steuerwoerter geschrieben werden sollen, werden wie beim Lesen ueber die Adressbits A12...A15 adressiert. Dies ist moeglich, da die CPU bei der Ausfuehrung des Befehls OUT(C),r den Inhalt des Registers B auf den High-Adressbus legt.

Wird also Register B mit der Anfangsadresse des 4 K Bereiches geladen, in dem spaeter das im Steuerwort enthaltene Select-Signal wirksam werden soll und dann der Out-Befehl ausgefuehrt, gelangt das Steuerwort automatisch in die richtige Zelle des ADP. Zwischen dem Ziel-Adressbereich und dem Wert, der in das Register B zu laden ist, besteht der in Tabelle 3.4-5 dargestellte Zusammenhang.

Tabelle 3.4-5 ADP-Steuerwoerter:

Fuer Select-Signal wirksamer Adr.-Bereich	! In Register B ! zu ladender Wert
0000H ... 0FFFH	! 00H
1000H ... 1FFFH	! 10H
2000H ... 2FFFH	! 20H
.	!
.	!
E000H ... EFFFH	! E0H
F000H ... FFFFH	! F0H

Die Programmierung des ADP erfordert also folgenden Ablauf:

- Laden Register "r" mit Steuerwort nach Tabelle 3.4-4
- Laden Register B mit Zieladresse nach Tabelle 3.4-5
- OUT (C),r ausfuehren.

Initialisierung:

Nach Zuschalten der Betriebsspannung ist eine vollstaendige Initialisierung des ADP erforderlich, d.h. es muessen 16 Steuerwoerter an die 16 Ziel-Adressbereiche (0000H...F000H) ausgegeben werden. Ist dies geschehen, wird mit einem IN- oder OUT-Befehl mit der Adresse RES_RFF das Reset-Flipflop zurueckgesetzt und gleichzeitig damit das ADP aktiviert.

Statischer RAM:

Der statische RAM besitzt eine Kapazitaet von 2 KByte. Die Select-Signale gelten aber jeweils fuer 4 K, d.h. bei selektiertem SRAM werden von der sonst in diesem Adressbereich liegenden Speicherbank (z.B. DRAM) 4 K ausgeschaltet. In diesem Adressbereich ist der SRAM jetzt

doppelt adressierbar, da das Adressbit A11 nicht dekodiert wird.

Beispiel: SRAM soll ab Adresse 2000H adressierbar sein:

```
ld  c,WEADP
ld  a,02h      ;SRAM_SEL aktiv
ld  b,20h
out (c),a
```

Nach Ausfuehrung des OUT-Befehls liegt der SRAM im Adressbereich von 2000H...27FFH und noch einmal im Bereich 2800H...2FFFH!

4.3.3. Festwertspeicher

Die 8-Bit-Rechnerkarte arbeitet mit einer Festwertspeicherkapazitaet von 8 KByte. Realisiert wird diese mit EPROM-Schaltkreisen vom Typ 2732, fuer die zwei 24-polige Fassungen auf der Rechnerkarte vorgesehen sind (vgl. Bild 3.4-2).

4.4. Peripherie

Peripheriefunktionen des 8-Bit-Rechners sind (vgl. Bild 3.4-1):

- Systemfunktionen (CTC0)
- U8000 Kopplung (PIO0, 2 Latch DS8282)
- Parallelschnittstelle (PIO1)
- serielle Schnittstelle (SIO0, SIO1, CTC1)
- Floppy-Controller (FDC, PIO2, DMA)

Der System-CTC (CTC0) uebernimmt die Funktionen Echtzeituhr, Steuerung des Einzelschrittbetriebes, Motorabschaltung der FD-Laufwerke und - wie CTC1 - die Erzeugung von Sende- und Empfangstakt fuer die serielle Datenuebertragung.

PIO0 sowie die beiden 8-Bit-Latch (DS8282) sind speziell fuer die Kopplung mit der 16-Bit-Rechnerkarte vorgesehen. Die entsprechenden Verbindungen befinden sich im Innern des P8000-Computers, sie sind nicht von aussen zugaenglich.

Schnittstellen fuer den Anschluss externer Geraete bilden PIO1 (parallele Schnittstelle, insbesondere fuer den EPROM-Programmer), sowie die Schaltkreise SIO0 und SIO1, die das serielle Interface realisieren.

Die Floppy-Disk Schnittstelle wird von den Schaltkreisen U8272, PIO2 und DMA gebildet. Der externe Anschluss von weiteren Floppy-Disk-Drives ist ueber einen Steckverbinder moeglich.

4.4.1. I/O - Adressen

Die in Tabelle 3.4-7 aufgefuehrten Adressen der Peripherieschaltkreise sind durch den I/O-Dekoder festgelegt, sie koennen nicht veraendert werden.

Tabelle 3.4-7 I/O-Adressen:

Adresse	Funktion
00H	Schreibfreigabe Adressport (WEADP)
04H	Ruecksetzen des Reset-Flipflop (RES_RFF)
08H	CTC0: Kanal 0 Baud-Generator 3
09H	Kanal 1 Floppy-Disk
0AH	Kanal 2 System-Kanal
0BH	Kanal 3 frei
0CH	PIO0: Port A, Daten U8000-Kopplung
0DH	Port A, Control
0EH	Port B, Daten U8000-Kopplung
0FH	Port B, Control
10H	Datenport 1 (DS8282) U8000-Kopplung
14H	Datenport 2 (DS8282) U8000-Kopplung
18H	PIO1: Port A, Daten Programmier
19H	Port A, Control
1AH	Port B, Daten Programmier
1BH	Port B, Control
1CH	PIO2: Port A, Daten Floppy-Disk
1DH	Port A, Control
1EH	Port B, Daten Floppy-Disk
1FH	Port B, Control
20H	FDC: Statusregister Floppy-Disk
21H	Datenregister
24H	SIO0: Kanal A, Daten serieller Kanal 0
25H	Kanal A, Control
26H	Kanal B, Daten serieller Kanal 1
27H	Kanal B, Control
28H	SIO1: Kanal A, Daten serieller Kanal 2
29H	Kanal A, Control
2AH	Kanal B, Daten serieller Kanal 3
2BH	Kanal B, Control
2CH	CTC1: Kanal 0 Baud-Generator 0
2DH	Kanal 1 Baud-Generator 1
2EH	Kanal 2 Baud-Generator 2
2FH	Kanal 3 frei
30H..3BH	Reserve (ueber X13 zugaenglich)
3CH	DMA Floppy-Disk

4.4.2. Serielle Schnittstellen

Der 8-Bit-Rechner besitzt vier serielle Kanäle, die mit tty0 bis tty3 bezeichnet werden. Es kann wahlweise mit V.24- bzw. IFSS-Signalen gearbeitet werden (vgl. Tabelle 3.4-8).

** Zu diesem Komplex ist Kapitel 2 Abschnitt 6 "Interfacekabel(2)" zu beachten!

Das Interface ist als Datenendeinrichtung -DEE- entsprechend TGL 29077/01 ausgeführt und mit einer 25-poligen Buchsenleiste (203-25-EBS-GO 4006/01-2) ausgerüstet. Der erste Kanal (tty0) ist so ausgebaut, dass eine Datennahübertragungseinrichtung (DNUE) vom Typ K8172 angeschlossen werden kann.

Die Schnittstellenleitungen, die im jeweiligen tty-Kanal zur Verfügung stehen, sind in den Tabellen 3.4-9 und 3.4-12 aufgeführt.

Tabelle 3.4-8 Serielles Interface:

serieller Kanal	SIO-Kanal	Funktion	Buchse
-----	-----	-----	-----
tty0	! SIO0 - A	! V.24 fuer DNUE / IFSS	! X4
tty1	! SIO0 - B	! V.24 abger. / IFSS	! X5
tty2	! SIO1 - A	! V.24 abger. / IFSS	! X6
tty3	! SIO1 - B	! V.24 abger. / IFSS	! X7

Im Kanal tty0 (Buchse X4) existieren drei Anschlüsse (TxCE, RxCE und CPO) fuer die Um- bzw. Zuschaltung des Sende- und Empfangsschrittaktes. Diese sind bei Bedarf im Anschlussstecker entsprechend Tabelle 3.4-10 zu bruecken.

Tabelle 3.4-9 Kanal tty0 (Buchse X4):

Stecker-anschluss	Leitungsnummer	Ein-/Ausg.	Kurzzeichen	Funktion
2	103	A	TD	Sendedaten
3	104	E	RD	Empfangsdaten
4	105	A	RTS	Sendeteil einschalten
5	106	E	CTS	Sendebereitschaft
6	107	E	DSR	Betriebsbereitschaft
7	102	-	SG (Q-)	Betriebserde
8	109	E	DCD	Empfangssignalpegel
15	114	E	TC	Sendeschrittakt von DUE
17	115	E	RC	Empf.schrittakt von DUE
20	108.2	A	DTR	Endgeraet bereit
24	113	A	TC	Sendeschrittakt zur DUE
11	-	E	RxCE	Umschalt. auf 115 (RC)
25	-	E	TxCE	Umschalt. auf 114 (TC)
9	-	E	nIFSS	Umschaltung auf IFSS
18	-	E	CPO	Zuschalt. von 113 (TC)
21	-	A	+5 V	Stromversorgungsausgang
19	(IFSS)	A	SD+	Stromausgang Sender
14	(IFSS)	A	ED+	Stromausgang Empfaenger
13	(IFSS)	E	ED-	Stromeingang Empfaenger
10	(IFSS)	E	SD-	Stromeingang Sender
12	(IFSS)	A	nQ+	Stromquellenausgang tty0
16	(IFSS)	A	mQ+	Stromquellenausgang tty1

Tabelle 3.4-10 Umschaltung des Sende- und Empfangstaktes:

Takteinspeisung	! Bruecke zwischen den ! Signalen/Anschluessen
-----	!
Sendetakt extern ueber 114 (TC)	! TxCE / 25 - SG / 7
Sendetakt intern von CTC1/0	! keine Bruecke
Empfangstakt extern ueber 115 (RC)	! RxCE / 11 - SG / 7
Empfangstakt intern von CTC1/0	! keine Bruecke
-----	!
Sendetakt von CTC1/0 zur DUE ueber Leitung 113 (TC) durchgeschaltet	! CPO / 18 - SG / 7 !
Sendetakt von CTC1/0 zur DUE ueber Leitung 113 (TC) abgetrennt	! keine Bruecke

Die Kanale tty1, tty2 und tty3 sind gegenueber tty0 abgeruestet, sie weisen fuer V.24-Uebertragung nur die Leitungen 102, 103, 104, 108, 109 auf (vgl. Tabelle 3.4-11).

Alle seriellen Kanale koennen auf IFSS-Stromschleifen-

Betrieb umgeschaltet werden. Dazu sind im Anschlussstecker des jeweiligen Kabels die Kontakte IFSS/9 und SG/7 miteinander zu verbinden. Die Sender und Empfaenger sind passiv und potentialgetrennt ausgefuehrt, koennen aber auch aktiv betrieben werden (vgl. Kap. 2, Abschn. 6).

Fuer jeden Kanal (tty0 - tty3) steht nur eine Stromquelle am Anschluss 12 zur Verfuegung. Werden an einem Kanal zwei Stromquellen benoetigt (Sender und Empfaenger aktiv), kann ueber Anschluss 16 die Stromquelle des jeweiligen Nachbarkanals genutzt werden. Diese Moeglichkeit besteht zwischen den Kanaelen tty0 und tty1 sowie tty2 und tty3, nicht aber zwischen tty1 und tty2. Der Kanal, dessen Stromquelle mitgenutzt wird, kann dann nur noch passiv betrieben werden.

Mit n = Nummer des Kanals und m = Nummer des Nachbarkanals gilt fuer die Tabellen der IFSS-Anschlusse:

n = 0	->	m = 1
n = 1	->	m = 0
n = 2	->	m = 3
n = 3	->	m = 2

Tabelle 3.4-11 Kanaele tty1, tty2, tty3 (Buchsen X5, X6, X7):

Stecker-anschluss	Leitungsnummer	Ein-/Ausg.	Kurzzeichen	Funktion
2	103	A	TD	Sendedaten
3	104	E	RD	Empfangsdaten
7	102	-	SG (Q-)	Betriebserde
8	109	E	DCD	Empfangssignalpegel
20	108.2	A	DTR	Endgeraet bereit
9	-	E	nIFSS	Umschaltung auf IFSS
21	-	A	+5 V	Stromversorgungsausgang
19	(IFSS)	A	SD+	Stromausgang Sender
14	(IFSS)	A	ED+	Stromausgang Empfaenger
13	(IFSS)	E	ED-	Stromeingang Empfaenger
10	(IFSS)	E	SD-	Stromeingang Sender
12	(IFSS)	A	nQ+	Stromquellenausgang tty _n
16	(IFSS)	A	mQ+	Stromquellenausgang tty _m

Zur Realisierung der erforderlichen Taktraten sind ein Taktgenerator, ein 8-fach Vorteiler und vier CTC-Kanaele (CTC0 Kanal 0, CTC1 Kanal 0-2) mit nachfolgenden 2-fach Teilern vorhanden (vgl. Bild 3.4-2). Durch Programmierung der CTC's als Zaehler koennen somit folgende Baudraten eingestellt werden:

Tabelle 3.4-13 Realisierung der Uebertragungsraten durch CTC-Zeitkonstanten und SIO-Vorteiler:

Baud-Rate	!	CTC-Zeitkonst.	!	SIO-Vorteiler
19200	!	1	!	32
9600	!	2 (1)	!	32 (64)
4800	!	4 (2)	!	32 (64)
2400	!	8 (4)	!	32 (64)
1200	!	16 (8)	!	32 (64)
600	!	32 (16)	!	32 (64)
300	!	64 (32)	!	32 (64)
150	!	128 (64)	!	32 (64)
75	!	256 (128)	!	32 (64)

4.4.3. Parallele Schnittstellen

Die parallelen Schnittstellen sind fuer den Anschluss der EPROM-Programmierereinrichtung bzw. zur Kopplung der 8-Bit mit der 16-Bit-Mikrorechnerkarte vorgesehen.

Die Schnittstelle fuer die EPROM-Programmierereinrichtung ist mit den Schaltkreis UA855D ohne Treiber realisiert. Alle Portleitungen sowie die Stromversorgungsanschluesse (+5 V, +12 V, GND) sind auf die 25-polige Buchsenleiste (202-25-EBS-GO 4006/01-2) gefuehrt (vgl. Tabelle 3.4-14).

Tabelle 3.4-14 Schnittstelle "Programmer" (Buchse X3):

Stecker- anschluss	! Kurz- zeichen !	! Funktion
1	! GND	! Ground / Masse
2	! /ASTB	! Port A Strobe
3	! A0	! Port A Bit 0
4	! A1	! Port A Bit 1
5	! A2	! Port A Bit 2
6	! A3	! Port A Bit 3
7	! GND	! Ground / Masse
8	! A4	! Port A Bit 4
9	! A5	! Port A Bit 5
10	! A6	! Port A Bit 6
11	! A7	! Port A Bit 7
12	! ARDY	! Port A Ready
13	! +12 V	! +12 V Stromversorgung
14	! +5 V	! +5 V Stromversorgung
15	! /BSTB	! Port B Strobe
16	! B0	! Port B Bit 0
17	! B1	! Port B Bit 1
18	! B2	! Port B Bit 2
19	! B3	! Port B Bit 3
20	! +5 V	! +5 V Stromversorgung
21	! B4	! Port B Bit 4
22	! B5	! Port B Bit 5
23	! B6	! Port B Bit 6
24	! B7	! Port B Bit 7
25	! BRDY	! Port B Ready

Die Kopplung der 16-Bit-Rechnerkarte wird mit einem Schaltkreis UA855D (PIO0) und zwei Latch DS8282 realisiert. Die beiden PIO-Ports werden fuer Eingabezwecke und die beiden Latch-Ports fuer Ausgabezwecke benutzt. Die Koppelsignale sind auf zwei Steckverbinder (X1, X2) gefuehrt.

Tabelle 3.4-15 U8000-Kopplung (Steckerleisten X1, X2):

Kurz- zeichen	! Stecker/ ! Anschluss!	Funktion
D0/8-16	! X1 / B4	! Datenbit 0 (8-Bit -> 16-Bit)
D1/8-16	! X1 / A6	! Datenbit 1 (8-Bit -> 16-Bit)
D2/8-16	! X1 / A7	! Datenbit 2 (8-Bit -> 16-Bit)
D3/8-16	! X1 / B13	! Datenbit 3 (8-Bit -> 16-Bit)
D4/8-16	! X1 / B11	! Datenbit 4 (8-Bit -> 16-Bit)
D5/8-16	! X1 / B10	! Datenbit 5 (8-Bit -> 16-Bit)
D6/8-16	! X1 / B9	! Datenbit 6 (8-Bit -> 16-Bit)
D7/8-16	! X1 / B8	! Datenbit 7 (8-Bit -> 16-Bit)
D0/16-8	! X2 / B2	! Datenbit 0 (16-Bit -> 8-Bit)
D1/16-8	! X2 / B9	! Datenbit 1 (16-Bit -> 8-Bit)
D2/16-8	! X2 / B8	! Datenbit 2 (16-Bit -> 8-Bit)
D3/16-8	! X2 / B7	! Datenbit 3 (16-Bit -> 8-Bit)
D4/16-8	! X2 / B1	! Datenbit 4 (16-Bit -> 8-Bit)
D5/16-8	! X2 / A10	! Datenbit 5 (16-Bit -> 8-Bit)
D6/16-8	! X2 / A8	! Datenbit 6 (16-Bit -> 8-Bit)
D7/16-8	! X2 / A1	! Datenbit 7 (16-Bit -> 8-Bit)
V1/8-16	! X1 / A12	! Vektorbit 1 (8-Bit -> 16-Bit)
V2/8-16	! X1 / A11	! Vektorbit 2 (8-Bit -> 16-Bit)
V3/8-16	! X1 / A10	! Vektorbit 3 (8-Bit -> 16-Bit)
V4/8-16	! X1 / A9	! Vektorbit 4 (8-Bit -> 16-Bit)
V5/8-16	! X1 / A8	! Vektorbit 5 (8-Bit -> 16-Bit)
V6/8-16	! X1 / B7	! Vektorbit 6 (8-Bit -> 16-Bit)
V1/16-8	! X2 / A5	! Vektorbit 1 (16-Bit -> 8-Bit)
V2/16-8	! X2 / A4	! Vektorbit 2 (16-Bit -> 8-Bit)
V3/16-8	! X2 / A3	! Vektorbit 3 (16-Bit -> 8-Bit)
V4/16-8	! X2 / A2	! Vektorbit 4 (16-Bit -> 8-Bit)
RDY/8-16	! X1 / A5	! Bereit fuer Daten 8-Bit -> 16-Bit
EO_8	! X1 / A3	! Freigabe Daten 8-Bit -> 16-Bit
DD_8	! X2 / B5	! Freigabe Daten 16-Bit -> 8-Bit
EO_16	! X2 / A9	! Uebergabe Daten 16-Bit -> 8-Bit
DD_16	! X2 / A11	! Uebergabe Daten 8-Bit -> 16-Bit
RDY/16-8	! X2 / B3	! Bereit fuer Daten 16-Bit -> 8-Bit
INT_8	! X2 / A6	! Interrupt zum 8-Bit-Rechner
INT_16	! X1 / A13	! Interrupt zum 16-Bit-Rechner
/RESET_U8000	! X1 / B1	! Freigabe 16-Bit (8-Bit -> 16-Bit)
/NMI_U8000	! X1 / B5	! /NMI 16-Bit (8-Bit -> 16-Bit)
RUN	! X2 / A13	! Rechner-Status (16-Bit -> 8-Bit)
GND	! X1 / B12	! Ground / Masse
GND	! X2 / B11	! Ground / Masse
GND	! X2 / B12	! Ground / Masse
GND	! X2 / B13	! Ground / Masse
-	! X1 / A2	! frei (vom 16-Bit-Rechner belegt)
-	! X1 / B2	! frei (vom 16-Bit-Rechner belegt)

```
-          ! X1 / B3  ! frei (vom 16-Bit-Rechner belegt)
-          ! X1 / A4  ! frei (vom 16-Bit-Rechner belegt)
-          ! X1 / B6  ! frei (vom 16-Bit-Rechner belegt)
-          ! X2 / B4  ! frei (vom 16-Bit-Rechner belegt)
-          ! X2 / B6  ! frei (vom 16-Bit-Rechner belegt)
-          ! X2 / A7  ! frei (vom 16-Bit-Rechner belegt)
-          ! X2 / B10 ! frei (vom 16-Bit-Rechner belegt)
-          ! X2 / A12 ! frei
```

4.4.4. Floppy-Disk Schnittstelle

Die Floppy-Disk Schnittstelle ist so ausgelegt, dass 4 Floppy-Disk Drives (FDD) angeschlossen werden koennen. Dafuer stehen zwei Steckverbinder zur Verfuegung, von denen einer ("Floppy"/X10) von aussen zugaenglich ist. An den internen Steckverbinder X9 sind die beiden im Grundgeraet befindlichen FDD (Drive0 und Drive1) angeschlossen.

Tabelle 3.4-16 Interner FDD-Anschluss (Steckerleiste X9):

Stecker- anschluss	Kurz- zeichen	Funktion
2	! /ND	! NORMAL DENSITY / Normale Dichte
4	! /HDL	! HEAD LOAD / Kopf anlegen
6	! /SE3	! SELECT 3 / Anwahl Drive 3
8	! /IDX	! INDEX / Index-Impuls
10	! /SE0	! SELECT 0 / Anwahl Drive 0
12	! /SE1	! SELECT 1 / Anwahl Drive 1
14	! /SE2	! SELECT 2 / Anwahl Drive 2
16	! -	! frei
18	! /DIR	! DIRECTION / Schritt-Richtung
20	! /STP	! STEP / Schritt-Impuls
22	! /WRDATA	! WRITE DATA / zu schreibende Daten
24	! /WE	! WRITE ENABLE / Schreibfreigabe
26	! /TRK0	! TRACK 00 / Spur 0
28	! /WP	! WRITE PROTECT / Schreibschutz
30	! /RDDATA	! READ DATA / gelesene Daten
32	! /HDS	! HEAD SELECT / Kopfauswahl
34	! /RDY	! READY / Bereitschaft
1	! GND	! GROUND / Masse
3	! GND	! GROUND / Masse
5	! GND	! GROUND / Masse
7	! GND	! GROUND / Masse
9	! GND	! GROUND / Masse
11	! GND	! GROUND / Masse
13	! GND	! GROUND / Masse
15	! GND	! GROUND / Masse
17	! GND	! GROUND / Masse
19	! GND	! GROUND / Masse
21	! GND	! GROUND / Masse
23	! GND	! GROUND / Masse
25	! GND	! GROUND / Masse
27	! GND	! GROUND / Masse
29	! GND	! GROUND / Masse
31	! GND	! GROUND / Masse
33	! GND	! GROUND / Masse

Der von aussen zugaengliche Steckverbinder "Floppy" ist fuer den Anschluss eines Floppy-Disk Beistellers vorgesehen. Es kann die 8" FD-Einheit des Personal-Computers PC1715 verwendet werden. Vor Anschluss dieses oder eines anderen Gerates sollte aber auf jeden Fall der Interface-Stecker nach Tabelle 3.4-17 ueberprueft und gegebenenfalls modifiziert werden!

Tabelle 3.4-17 FDD-Anschluss "Floppy" (Steckerleiste X10):

Stecker- anschluss	Kurz- zeichen	Funktion
A1	! GND	! GROUND / Masse
A2	! /MO3	! MOTOR ON 3 / Motor ein Drive 3
A3	! /MO1	! MOTOR ON 1 / Motor ein Drive 1
A4	! /RDY	! READY / Bereitschaft
A5	! /TRK0	! TRACK 00 / Spur 0
A6	! /WP	! WRITE PROTECT / Schreibschutz
A7	! /FW	! FAULT WRITE / fehlerhaftes Schreiben
A8	! /RDDATA	! READ DATA / gelesene Daten
A9	! /IDX	! INDEX / Index-Impuls
A10	! /FR	! FAULT RESET / Fehler Reset
A11	! /SE0	! SELECT 0 / Anwahl Drive 0
A12	! -	! frei
A13	! -	! frei
B1	! GND	! GROUND / Masse
:	! :	! :
:	! :	! :
B9	! GND	! GROUND / Masse
B10	! -	! frei
B11	! /ND	! NORMAL DENSITY / Normale Dichte
B12	! /HDS	! HEAD SELECT / Kopf Auswahl
B13	! -	! frei
C1	! GND	! GROUND / Masse
C2	! /MO2	! MOTOR ON 2 / Motor ein Drive 2
C3	! /MO0	! MOTOR ON 0 / Motor ein Drive 0
C4	! /HDL	! HEAD LOAD / Kopf anlegen
C5	! /SE1	! SELECT 1 / Anwahl Drive 1
C6	! /STP	! STEP / Schritt-Impuls
C7	! -	! frei
C8	! /WRDATA	! WRITE DATA / zu schreibende Daten
C9	! /WE	! WRITE ENABLE / Schreibfreigabe
C10	! /DIR	! DIRECTION / Schritt-Richtung
C11	! /SE2	! SELECT 2 / Anwahl Drive 2
C12	! /SE3	! SELECT 3 / Anwahl Drive 3
C13	! -	! frei

4.4.5. Sonstige Schnittstellen

Die hier aufgefuehrten Schnittstellen sind nicht von aussen zugaenglich und dienen der Komplettierung, Erweiterung und Pruefung der 8-Bit-Rechnerkarte.

Ueber den Steckverbinder X11 wird die Verbindung der 8-Bit-Rechnerkarte mit dem Tasten- und Anzeigemodul hergestellt.

Der Steckverbinder X12 dient zum Anschluss der Rechnerkarte an den Stromversorgungsmodul.

Der Steckverbinder X13 ist fuer den Anschluss eines Service-Geraetes zur Inbetriebnahme der 8-Bit-Rechnerkarte vorgesehen. Ueber X13 sind ausserdem Signale zugaenglich, die in speziellen Faellen eine Erweiterung der 8-Bit-Rechnerkarte zulassen.

Tabelle 3.4-18 Tasten- und Anzeigemodul (Buchsenleiste X11):

Stecker-anschluss	Kurzzeichen	Funktion
A1	/RESP	Reset-Impuls zum 8-Bit-Rechner
A2	GND	Ground / Masse
A3	+12 V	+12 V Spannungsanzeige
A4	RUN	Status-Anzeige des 16-Bit-Rechners
A5	+5 V	+5 V Spannungsanzeige und Stromvers.
B1	/NMIP	NMI-Impuls zum 8-Bit-Rechner
B2	GND	Ground / Masse
B3	-12 V	-12 V Spannungsanzeige
B4	UNIT16	Anzeige 16-Bit-Rechner aktiv
B5	+5 V	+5 V Spannungsanzeige und Stromvers.

Tabelle 3.4-19 Stromversorgung (Steckerleiste X12):

Stecker-anschluss	Kurzzeichen	Funktion
A1	GND	Ground / Masse
A2	GND	Ground / Masse
A3	+12 V	Stromversorgung +12 V
A4	+5 V	Stromversorgung +5 V
A5	+5 V	Stromversorgung +5 V
B1	GND	Ground / Masse
B2	GND	Ground / Masse
B3	-12 V	Stromversorgung -12 V
B4	-	frei
B5	+5 V	Stromversorgung +5 V

Tabelle 3.4-20 Service-Steckverbinder (Buchsenleiste X13):

Stecker- anschluss	Kurz- zeichen	Funktion
A1	GND	Ground / Masse
A2	GND	Ground / Masse
A3	/CE-RES1	Chip-Enable-Reserve 1
A4	D7	Datenbit 7
A5	D5	Datenbit 5
A6	D3	Datenbit 3
A7	D1	Datenbit 1
A8	/WR	Schreib-Freigabe
A9	/MREQ	Speicher-Anforderung
A10	/BAO	Busanforderung Ausgang
A11	IA14	Adressbit 14 (interner Bus)
A12	IA12	Adressbit 12 (interner Bus)
A13	IA10	Adressbit 10 (interner Bus)
A14	IA8	Adressbit 8 (interner Bus)
A15	/CPBAUD	Baud-Takt (1,229 MHz)
A16	IA6	Adressbit 6 (interner Bus)
A17	IA4	Adressbit 4 (interner Bus)
A18	IA2	Adressbit 2 (interner Bus)
A19	IA0	Adressbit 0 (interner Bus)
A20	/RESET	Reset-Signal
A21	PHI_TTL	TTL-Systemtakt
A22	PHIE	extern einspeisbarer Takt
A23	/NMI	nicht maskierter Interrupt
A24	/WAIT	Warte-Impulse
A25	/RFSH	Auffrisch-Impulse
A26	/M1	Maschinenzyklus 1
A27	-	frei
A28	IEIT	Trennung Prioritaetskette / Eingang
A29	+5 V	Stromversorgung +5 V
C1	GND	Ground / Masse
C2	GND	Ground / Masse
C3	/CE-RES2	Chip-Enable-Reserve 2
C4	D6	Datenbit 6
C5	D4	Datenbit 4
C6	D2	Datenbit 2
C7	D0	Datenbit 0
C8	/RD	Lese-Freigabe
C9	/MEMDI	Speicher-Blockierung
C10	-	frei
C11	IA15	Adressbit 15 (interner Bus)
C12	IA13	Adressbit 13 (interner Bus)
C13	IA11	Adressbit 11 (interner Bus)
C14	IA9	Adressbit 9 (interner Bus)
C15	/CE-RES3	Chip-Enable-Reserve 3
C16	IA7	Adressbit 7 (interner Bus)
C17	IA5	Adressbit 5 (interner Bus)
C18	IA3	Adressbit 3 (interner Bus)

C19	!	IA1	!	Adressbit 1	(interner Bus)
C20	!	/BUSRQ	!	Bus-Anforderung	
C21	!	-	!	frei	
C22	!	-	!	frei	
C23	!	/INT	!	Interrupt	
C24	!	/IORQ	!	Ein-Ausgabe-Anforderung	
C25	!	2PHIE	!	extern einspeisbarer Takt	
C26	!	/HALT	!	Halt-Zustand	
C27	!	/BUSAK	!	Bus-Freigabe	
C28	!	IEOT	!	Trennung Prioritaetskette	/ Ausgang
C29	!	+5 V	!	Stromversorgung	+5 V

5. Floppy-Disk-Drives

Das Grundgeraet ist mit zwei 5,25-Zoll Floppy-Disk-Drives (FDD) ausgestattet. Dabei ist dem unteren Drive die physische Nummer 0 (bzw. A) und dem oberen Drive die Nummer 1 (bzw. B) zugeordnet. Es kommen folgende FDD-Typen zum Einsatz:

- | | | |
|----------------------|---------|--------------------------|
| (1) TEAC FD-55FV-13U | Typ 1.6 | (80 Spuren/doppelseitig) |
| (2) TEAC FD-55FV-03U | Typ 1.6 | (80 Spuren/doppelseitig) |
| (3) ROBOTRON K5601 | | (80 Spuren/doppelseitig) |

5.1. Aufzeichnungs-Formate

Die FDD werden prinzipiell im MFM-Mode betrieben und koennen folgende Aufzeichnungs-Formate realisieren:

- 40 Spuren mit 16 Sektoren je 256 Bytes (einseitig)
- 80 Spuren mit 16 Sektoren je 256 Bytes (einseitig)
- 80 Spuren mit 32 Sektoren je 256 Bytes (doppelseitig)
- 80 Spuren mit 18 Sektoren je 512 Bytes (doppelseitig)
- 80 Spuren mit 10 Sektoren je 1024 Bytes (doppelseitig)

Das gewuenschte Format kann mit Hilfe des Systemkommandos "SETFD" eingestellt werden. Die Grundeinstellung ist 80 Spuren mit 32 Sektoren je 256 Bytes.

5.2. Steckerbelegung

Die Steckerbelegung des Interface- und Stromversorgungsanschlusses des FDD ist folgende:

Tabelle 3.5-1 Stromversorgung Floppy-Disk-Drive:

Stecker- anschluss	! Kurz- ! zeichen !	! Funktion !
1	! +12 V	! Stromversorgung +12 V
2	! GND	! GROUND / Masse
3	! GND	! GROUND / Masse
4	! +5 V	! Stromversorgung +5 V

Tabelle 3.5-2 Interface Floppy-Disk-Drive:

Stecker-anschluss	Kurzzeichen	Funktion
2	-	frei
4	/IU;/HDL	IN USE; HEAD LOAD / Kopf anlegen
6	/SE3	SELECT 3 / Anwahl Drive 3
8	/IDX	INDEX / Index-Impuls
10	/SE0	SELECT 0 / Anwahl Drive 0
12	/SE1	SELECT 1 / Anwahl Drive 1
14	/SE2	SELECT 2 / Anwahl Drive 2
16	/MO	MOTOR ON / Motor ein
18	/DIR	DIRECTION / Schritt-Richtung
20	/STP	STEP / Schritt-Impuls
22	/WRDATA	WRITE DATA / zu schreibende Daten
24	/WE	WRITE ENABLE / Schreibfreigabe
26	/TRK0	TRACK 00 / Spur 0
28	/WP	WRITE PROTECT / Schreibschutz
30	/RDDATA	READ DATA / gelesene Daten
32	/HDS	HEAD SELECT / Kopfauswahl
34	/RDY	READY / Bereitschaft
1	GND	GROUND / Masse
3	GND	GROUND / Masse
5	GND	GROUND / Masse
7	GND	GROUND / Masse
9	GND	GROUND / Masse
11	GND	GROUND / Masse
13	GND	GROUND / Masse
15	GND	GROUND / Masse
17	GND	GROUND / Masse
19	GND	GROUND / Masse
21	GND	GROUND / Masse
23	GND	GROUND / Masse
25	GND	GROUND / Masse
27	GND	GROUND / Masse
29	GND	GROUND / Masse
31	GND	GROUND / Masse
33	GND	GROUND / Masse

5.3. Anpassung an die FDC-Schnittstelle

Fuer die Anpassung der FDD an die Floppy-Disk-Controller-Schnittstelle stehen auf den Drives Steckerfelder (sog. Short plugs und Jumper) zur Verfuegung. Diese sind in den eingebauten FDD wie folgt eingestellt:

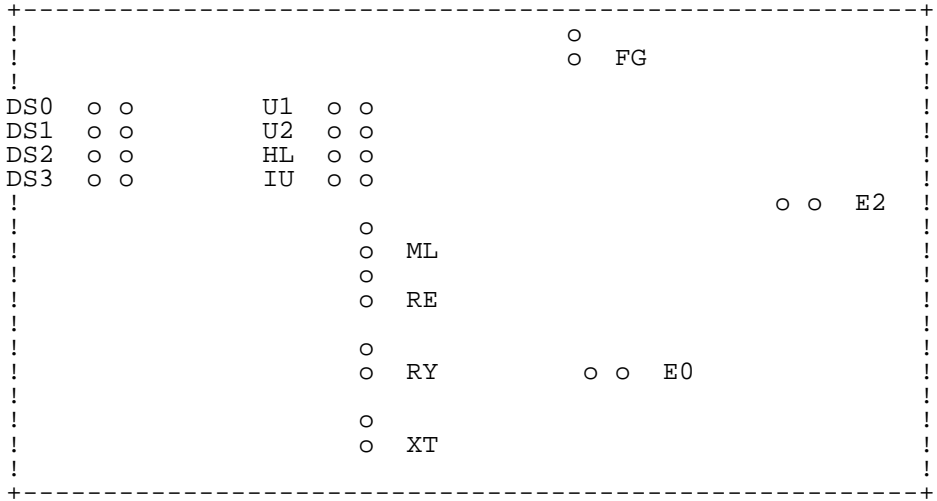


Bild 3.5-1 Anordnung des Steckerfeldes beim Floppy-Disk-Drive "FD-55FV"

Erlaeuterungen zu Bild 5.1:

- DS0-3 * Zuordnung der Select-Signale (es ist nur jeweils eine Bruecke DS0, oder DS1 zulaessig!)
- U1 !
- U2 ! Laden des Kopfes, wenn DS0-3 und READY und
- HL ! Einschalten der LED (Anzeige "AKTIV"),
- IU ! wenn DS0...3 aktiv
- ML * Einschalten des Motors, wenn DS0-3 oder MOTOR ON aktiv
- RE Kopf nach Power on auf Spur 00
- R Y * Soft-Sector Diskette
- X T Hard-Sector-Diskette
- F G Verbindung Signalmasse mit Gehaeusemasse
- E 0 * ! Index- und Datenimpulse nur wenn
- E 2 ! DS0-3 aktiv

(*)...Verbindung vorhanden

6. Der 16-Bit-Rechner Index 1

Die ersten 16-Bit-Rechner wurden im Rahmen einer Entwicklungsmusterproduktion (GLE-Produktion, vor 3/87) gefertigt. Sie bildeten die Grundlage der in die Produktion uebergeleiteten 16-Bit-Rechnerkarten Index 0 und dann weiterentwickelt Index 1. Beide Rechnerkarten unterscheiden sich nicht im Interface, dass dem Anwender zuganglich ist.

Die 16-Bit-Rechnerkarten Index 1 (teilweise noch Index 0) sind im P8000-Computer eingesetzt, der entweder nicht oder mit der Versionsnummer "V: lxxx" gekennzeichnet ist (vgl. Kapitel 1, Abschnitt 5. "Kennzeichnung der Festplatte und Leiterplattenindex").

6.1. Uebersicht

Der 16-Bit-Rechner des P8000 wird konstruktiv aus zwei Funktionsgruppen gebildet, der 16-Bit-Rechner-Karte und den steckbaren Hauptspeicher-Karten. Es handelt sich also praktisch um einen Einkartenrechner, der durch Speicherkarten ergaenzt wird. Unter Verzicht auf Universalitaet konnte so auf eng begrenztem Raum ein kompakter, leistungsfaeiger 16-Bit-Rechner realisiert werden, dessen Struktur auf das Betriebssystem WEGA abgestimmt ist (vgl. Bild 3.6-1).

Der Rechner, der mit einer Taktfrequenz von 4 MHz arbeitet, basiert auf dem 16-Bit-Mikroprozessor UB8001. Drei Speicher-verwaltungsbausteine UB8010 uebernehmen in Verbindung mit einer speziellen Steuerlogik die dynamische Speichersegment-zuweisung im Arbeitsspeicher und den Schutz vor unbefugten Zugriffen.

Der Hauptspeicher wird durch aufgesteckte dynamisch arbeitende Speicherkarten (DRAM-Karten) realisiert. Seine Kapazitaet kann 256 KByte bis 1 MByte (zukuenftig 4 MByte) betragen. Der elektrische Anschluss der DRAM-Karten erfolgt durch einen speziell dafuer ausgelegten nichtstandardisierten Speicherbus.

Zum Systemanlauf, fuer Eigentestroutinen und den Testmonitor besitzt der Rechner einen On-Board-Speicher von 16 KByte EPROM und 2 KByte statischem RAM, der nach Hochfahren des Betriebssystems ausgeschaltet wird.

Die Peripherie des 16-Bit-Rechners wird durch Schaltkreise der UA880-Familie gebildet. Eine entsprechende Steuerlogik realisiert die Zusammenarbeit dieser Schaltkreise mit der UB8001-CPU.

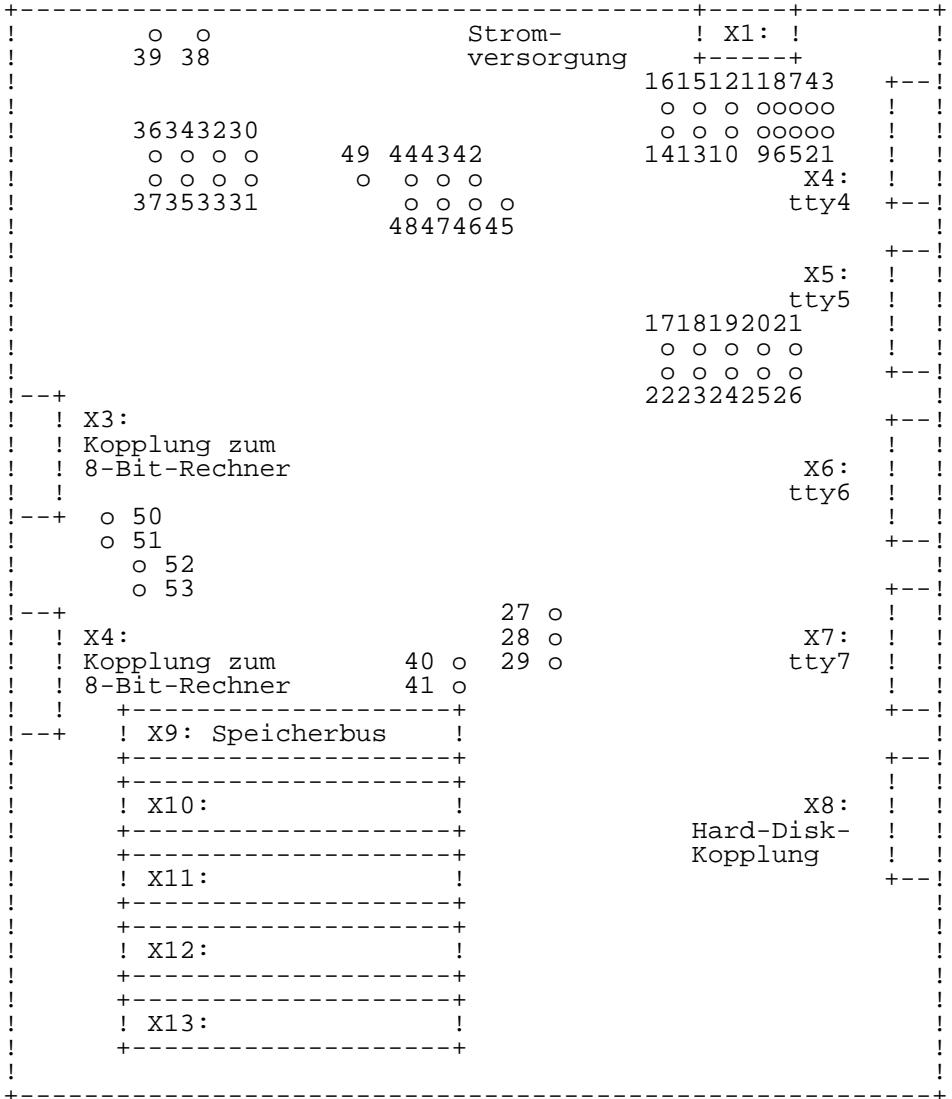
Bild 3.6-1 Struktur des 16-Bit-Rechners (1)

Konstruktiv ist die 16-Bit-Rechnerkarte als 6-Lagen-Leiterplatte im Format 380 mm x 250 mm ausgeführt. An einer der Laengsseiten der Leiterplatte sind fuenf 25-polige Buchsenleisten angeordnet, die von der Rueckseite des Computers zugaeenglich sind. Sie bilden die Interfaceanschluesse des 16-Bit-Rechners (vier serielle Kanaele, ein paralleler Kanal). Auf der gegenueberliegenden Seite der Karte erfolgt die Kopplung zur 8-Bit-Rechnerkarte ueber zwei 26-polige Steckverbinder.

Zur Aufnahme der DRAM-Karten sind auf der 16-Bit-Leiterkarte fuenf 96-polige Buchsenleisten so angeordnet, dass die gesteckten DRAM-Karten nebeneinander und senkrecht zur Rechnerkarte stehen. Es sind maximal vier DRAM-Karten vorgesehen, der fuenfte Steckplatz ist zukuenftigen Erweiterungen vorbehalten.

Die Stromversorgung (+5 V, +12 V, -12 V, GND) erfolgt ueber eine 10-polige Steckerleiste an der oberen Schmalseite der Leiterplatte.

Bild 3.6-2 zeigt die Lage der Steckverbinder und Anordnung von Wickelstiften auf der 16-Bit-Karte. Auf ihre Funktion wird in den folgenden Abschnitten eingegangen.



* Folgende Wickelstifte entfallen bei Index 1:
 1-16, 30-37, 38-39, 40, 41, 42-49

Bild 3.6-2 Steckverbinder und Wickelstifte der 16-Bit-Karte (1)

6.2. Der Rechnerkern

6.2.1. Systemtakterzeugung

Die auf der 16-Bit-Rechnerkarte erforderlichen Taktsignale (MOS- und TTL-Pegel) werden von einem 16-MHz-Takt abgeleitet, den der mit einem 16-MHz-Quarz betriebene Clockgeneratorschaltkreis DL8127 liefert (vgl. Tabelle 3.6-1).

Tabelle 3.6-1 Clock-Signale

Signal	! Pegel !	Erlaeuterung
INT4PHI-	! TTL !	16 MHz
INT2PHI	! TTL !	8 MHz
INTPHI	! TTL !	4 MHz
CLOCK8000	! MOS !	4 MHz fuer UB8000-Schaltkreise
CLOCK80	! MOS !	4 MHz fuer 8-Bit-Peripherie

6.2.2. Reset-Generierung

Das Master-Reset-Signal (MRESET-) kann von drei Eingangs-Reset-Signalen erzeugt werden:

Tabelle 3.6-2 Reset-Signale

Signal	Erlaeuterung
PRES-	! Power-on-Reset, vom DL8127 nach dem Einschalten fuer ca. 1s Dauer erzeugt.
RESET	! von der 8-Bit-Rechnerkarte abgeleitet. Liegt statisch an nach Einschalten des Computers bzw. Betaetigen der Reset-Taste. Muss durch Koppelsoftware aufgehoben werden.
BUSTESTRESET-	! kann ueber Buchsenleiste X9 fuer Pruefzwecke eingespeist werden.

Von MRESET- wird fuer den Speicherbus das Resetsignal BUSMRESET- abgeleitet.

Das Signal MRESET- bewirkt folgende Reaktion auf der 16-Bit-Rechnerkarte:

- Bit 0...3 im SCR werden auf Null gesetzt (vgl. 6.2.6.), d.h. der On-Board-Speicher ist aktiv, die Adressierung des Arbeitsspeichers erfolgt direkt durch die CPU (MMU aus), es sind nur nichtsegmentierte Anwenderprogramme zugelassen und Paritätsfehlermeldungen der Speicherarten werden nicht akzeptiert.
- die Steuerregister der MMU's sind gelöscht, aber das Master-Enable-Flag in den MMU's wird nicht auf Null gesetzt.
- alle Sender und Empfänger der SIO's (tty-Kanäle) sind gesperrt, Interrupts sind gelöscht, alle Steuerregister müssen neu initialisiert werden.
- die CTC-Kanäle sind gestoppt, alle Interrupt-Freigabe-Bits sind gelöscht, die Steuerregister müssen neu initialisiert werden.
- in den PIO's sind die Port-Masken-Register gelöscht, die READY-Signale inaktiv, die Port-Interrupt-Freigabe-Flipflops zurückgesetzt und die PIO-Betriebsart 1 eingestellt. Die Interrupt-Vektor-Register sind nicht gelöscht.

Wird MRESET- inaktiv, startet die UB8001-CPU das in den On-Board-EPROM's enthaltene Monitorprogramm. Auf der Systemconsole wird die Meldung:

U8000-Softwaremonitor Version x.x - Press NMI

erzeugt. Durch Betätigen der NMI-Taste kann jetzt WEGA gestartet oder mittels anderer Kommandos im Monitor gearbeitet werden.

6.2.3. NMI-Generierung

Ein nichtmaskierbarer Interrupt (NMI) kann von drei Quellen ausgelöst werden, die sich nach erfolgtem NMI durch Lesen des NMI-Identifiers ermitteln lassen.

Tabelle 3.6-3 NMI-Signale:

Signal	!	Erlaeuterung
MANUAL NMI-	!	wird durch Betaetigen derTaste <NMI> erzeugt, wenn von der 8-Bit-Rechner- karte die Durchschaltung des Signals freigegeben wurde.
BUSPE-	!	Fehlersignal, speziell Paritaetsfehler einer DRAM-Karte. Muss mittels RESET- oder CLR PARITY- rueckgesetzt werden.
POWER FAIL-	!	Fehlersignal der Stromversorgung. (1)

(1) Derzeit wird von der Stromversorgung kein POWER-FAIL-Signal erzeugt.

Der NMI-Identifizier (vgl. Tabelle 3.6-4) wird waehrend des NMI-Quittier-Zyklus gelesen und im System-Stack abgelegt, so dass anschliessend eine Auswertung erfolgen kann. Erfasst werden die unteren vier Bit des Low-Daten-Bytes, dabei ist AD3 stets Null.

Tabelle 3.6-4 NMI-Identifizier:

NMI-Quelle	!	AD3	AD2	AD1	AD0
Manual	!	0	0	0	1
Power fail	!	0	0	1	0
Paritaetsfehler!	!	0	1	0	0

6.2.4. Interrupt-Generierung

Die UB8001-CPU kennt neben dem hoechstpriorisierten NMI noch die Interruptsignale VI- und NVI-. Alle durch Interface-Schaltkreise gesendeten Interruptanforderungen werden auf den VI-Eingang gefuehrt, eine NVI-Anforderung erfolgt auf der 16-Bit-Rechnerkarte nicht.

Die Interruptprioritaet ist in der unten dargestellten Reihenfolge festgelegt und kann nicht veraendert werden (hierzu Bild 3.6-1 und Bild 3.6-2):

```

+--CTC0---CTC1---SIO0---SIO1---PIO0---PIO1---PIO2---*
*--X13----X12----X11----X10----X9 (BUS).
    
```

6.2.5. Trap-Generierung

Die UB8001-CPU verarbeitet ein Trap-Signal (SEGT-), das Speicherzugriffsverletzungen (Segmentation Violation) signalisiert. Erzeugt wird dieses Signal von den Speicherverwaltungsbausteinen UB8010-MMU.

Die Leiterkarte Index 0 kann das Signal SEGT- zusätzlich mittels externer Logik generieren, diese Möglichkeit wird von der laufenden Betriebssystemversion nicht genutzt.

6.2.6. Systemkonfiguration

Die Systemkonfiguration erfolgt durch ein 8-Bit-Register, das System-Configuration-Register (SCR).

Die unteren vier Bit des SCR koennen gesetzt und damit Funktionsgruppen der Rechnerkarte aktiviert oder deaktiviert werden (vgl. Tabelle 3.6-5).

Bei der Leiterkarte Index 0 kann die MMU-Steuerung entsprechend der Betriebssystemversion mittels Wickelbruecken festgelegt werden. Die in Tabelle 3.6-6 angegebene Einstellung darf nicht veraendert werden. Durch die Festlegung auf das segmentiert arbeitende Betriebssystem WEGA entfallen ab Index 1 die Wickelbruecken 1...16.

Tabelle 3.6-5 Steuerbits des SCR:

Bit	Art	Signal	Funktion
0	r/w	BD MEM ON-	0: On-Board-Speicher ein 1: On-Board-Speicher aus
1	r/w	MMU ONH	0: MMU aus 1: MMU ein
2	r/w	SEG USR	0: nichtseg. User-Prog. 1: segmentiertes User-Prog.
3	r/w	CLR PARITY-	0: Paritaetsfehler loeschen bzw. nicht akzeptieren 1: Paritaetsfehler wird akzeptiert (erzeugt NMI-)
4	r	Wickelstift 30 31	Abfrage der Wickelbruecken und entsprechende Softwareauswertung. Es gilt: offen = 1, geschlossen = 0
5	r	32 33	
6	r	34 35	
7	r	36 37	

r/w: Lesen und Schreiben moeglich
r: nur Lesen moeglich

- ** Das Signal MMU ON wirkt nicht auf die MMU-Schaltkreise, sondern schaltet die Adressbustreiber des Speicherbus auf die MMU-Adressen um (bei MMU ON = 1)!
- ** Die Wickelstifte 30...37 sind nur bei Index 0 vorhanden. Bei Index 1 liegen Bit 4 bis Bit 7 fest auf High!

Tabelle 3.6-6 Wickelfeld fuer segmentiertes Betriebssystem:

geschlossen	offen
1---3	2 4
6---8	5 7
10--12	9 11
14--16	13 15

6.3. Speicher

6.3.1. Speicheradressierung

Die von der UB8001-CPU generierte logische Adresse besteht aus der Segment-Nummer (7 Bit) und dem Offset (16 Bit). Diese Adresse wird zwischengespeichert und bildet den lokalen Adressbus, der den On-Board-Speicher adressiert (wenn BD MEM ON- = 0 gilt, vgl. Tabelle 3.6-5).

Der Hauptspeicher kann ebenfalls ueber den lokalen Adressbus adressiert werden, z.B. fuer Testzwecke. Wichtiger fuer ihn ist aber der "translated" Adressbus, eine 24-Bit-Adresse, die von den MMU-Schaltkreisen aus der logischen CPU-Adresse berechnet wird. Dieser Adressbus wird mit dem Signal MMU ONH = 1 aktiv (vgl. Tabelle 3.6-5).

Zugriffe der CPU auf den On-Board-Speicher loesen automatisch einen Wait-Zyklus (T2-Wait) aus, dagegen erfolgen die Hauptspeicherzugriffe auch bei Nutzung der MMUs ohne Wait-Zyklen.

Die von der UB8001-CPU generierte Speicheradresse ist immer eine Byte-Adresse. Ein Speicher besteht deshalb aus mindestens zwei Speicherbaenken, die jeweils mit dem Low-Datenbus (D0...D7) und dem High-Datenbus (D8...D15) verbunden sind. Bei einem Wortzugriff der CPU werden beide Speicherbaenke gleichzeitig adressiert, so dass zwei Byte parallel gelesen oder geschrieben werden. Das niederwertigste Adressbit A0 ist dabei 0, die Adresse ist gerade.

Bei Bytezugriffen wird mit dem Adressbit A0 gekennzeichnet, ob es sich um ein Low-Datenbyte (A0=1) oder High-Datenbyte (A0=0) handelt. Zwischen Lesen und Schreiben sind Unterschiede zu beachten:

Bytelesen: Die CPU trifft die Auswahl selbst, d.h. der Zustand von A0 ist fuer den Speicher unwichtig, beide Datenbytes koennen adressiert und wie beim Wortzugriff parallel auf den Datenbus gelegt werden.

Byteschreiben: Die CPU legt das zu schreibende Datenbyte auf beide Teile des Datenbus. Der Speicher muss mittels A0 die zu adressierende Speicherbank auswahlen.

6.3.2. On-Board-Speicher

Der On-Board-Speicher besitzt eine Groesse von 18 KByte, davon 16 KByte Festwertspeicher (EPROM) und 2 KByte

Schreib-/Lese-Speicher (statischer RAM, SRAM). Dieser Speicherbereich ist erforderlich fuer den Systemanlauf (Initialisierung, Urlader), fuer den U8000-Software-Monitor und fuer Hardware-Eigentestroutinen. Er ist nach Ruecksetzen des 16-Bit-Rechners aktiv, bzw. kann ueber das Bit 0 des System-Configuration-Register (SCR) ein- oder ausgeschaltet werden (vgl. Tabelle 3.6-5).

Der On-Board-Speicher liegt im Segment 0, Offset-Adresse

0000H ... 3FFEh Festwertspeicher
4000H ... 47FFh Schreib-/Lesespeicher.

Bei aktivem On-Board-Speicher beginnt die Hauptspeicheradresse bei <00>8000H. Wegen der nicht vollstaendigen Adressdekodierung fuer den SRAM-Bereich erscheint dieser im Bereich 4000 bis 6000 viermal in Abstaenden zu je 2 KByte. Der Adressbereich <00>6000 bis <00>7FFF ist leer.

Der Festwertspeicher wird mittels vier 4 KByte EPROM-Schaltkreise (Typ 2732) realisiert. Sie bilden zwei Speicherbaenke, die jeweils mit dem Low-Datenbus (Odd-Adresse) und dem High-Datenbus (Even-Adresse) verbunden sind.

Tabelle 3.6-7 Belegung der Busstecker X9...X13:

Pin	! Reihe a ! Signal	! Reihe b ! Signal	! Reihe c ! Signal
1	! BUS ST0	! +5 V	! BUS ST1
2	! BUS ST2	! +5 V	! BUS ST3
3	! BUS R/W-	! +5 V	! BUS B/W-
4	! BUS DS-	! +5 V	! BUS CLOCK
5	! BUS BUSACK-	! +5 V	! BUS STOP-
6	! BUS VI-	! BUS N/S-	(1)! BUS NVI-
7	! BUS REQ-	! BUS NMI-	(1)! BUS MRESET-
8	! BUS WAIT- (3)	! RUN/HALT-	(1)! BUS I/O-
9	! BUS RFSN-	! SSNO	(1)! BUS MREQ-
10	! BUS AS-	! SSNC	(1)! BUS M1-
11	! BUS IORQ-	! TEST RESET-	(1)! BUS RD-
12	! BUS A23	!	! BUS A22
13	! BUS A21	! TESTDATA- (2)	(1)! BUS A20
14	! BUS A19	!	! BUS A18
15	! BUS A17	! BAUD CLOCK	! BUS A16
16	! BUS A15	!	! BUS A14
17	! BUS A13	!	! BUS A12
18	! BUS A11	!	! BUS A10
19	! BUS A9	!	! BUS A8
20	! BUS A7	!	! BUS A6
21	! BUS A5	!	! BUS A4
22	! BUS A3	!	! BUS A2
23	! BUS A1	!	! BUS A0
24	! B_IEI	! CLR PARITY-	! B_IEO
25	! BUS AD15	! MASSE	! BUS AD14
26	! BUS AD13	! MASSE	! BUS AD12
27	! BUS AD11	! MASSE	! BUS AD10
28	! BUS AD9	! MASSE	! BUS AD8
29	! BUS AD7	! MASSE	! BUS AD6
30	! BUS AD5	! MASSE	! BUS AD4
31	! BUS AD3	! MASSE	! BUS AD2
32	! BUS AD1	! BUS PE-	! BUS AD0

- (1) Diese Signale dienen Testzwecken, sie liegen nur am Stecker X9!
- (2) Das Signal TESTDATA- ist bei Index 1 auf Stecker X9, Pin c24 gefuehrt!
- (3) Das Signal BUSWAIT- kann bei Index 0 und 1 nicht genutzt werden!

Tabelle 3.6-8 Erlaeuterungen zu den Bussignalen (Vorsilbe BUS weggelassen):

Signal	! Funktion	! E/A
A0 ... A23	! Adressen	! A
AD0 ... AD15	! Daten	! bi
ST0 ... ST3	! Status	! A
R/W-	! Read/Write	! A
B/W-	! Byte/Word	! A
DS-	! Data Strobe	! A
CLOCK	! INTPHI (Tab. 3.6-1)	! A
BUSACK-	! Bus Acknowledge	! A
STOP-	! Stop	! E
VI-	! Vectored Interrupt	! E (OC)
NVI	! Non-Vectored Interrupt	! E
REQ-	! Bus Request	! E
MRESET-	! Master Reset	! A
I/O-	! Status 2 (I/O reference)	! A
RFSN-	! Status 1 (Memory refresh)	! A
MREQ-	! Memory Request	! A
AS-	! Address Strobe	! A
M1-	! U880 M1 Cycle	! A
IOREQ-	! U880 I/O Request	! A
RD-	! U880 Read	! A
CLR PARITY-	! Clear Parity Error	! A
PE-	! Parity Error	! E (OC)

In Spalte E/A bedeuten:

- A: Ausgang, getrieben, teilweise tristate
- E: Eingang
- E (OC): Eingang, Signalquelle Open-Kollektor
- bi: bidirektionaler Bus

Zur Interrupt-Prioritaets-Kette vgl. auch Abschnitt 6.2.4. Bild 3.6-4 zeigt die Moeglichkeit, die Kette ueber die Busstecker zu fuehren. Zu beachten ist, dass Stecker X9/Pin c24 nicht mehr zur Kette gehoert!

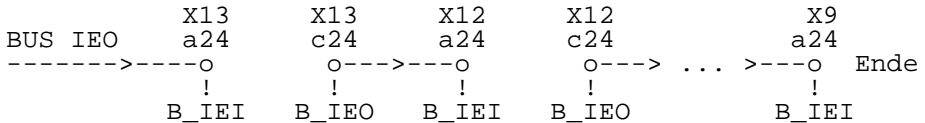


Bild 3.6-4 Bus-Interrupt-Prioritaets-Kette

6.4. Peripherie

6.4.1. Uebersicht

Unter Peripherie im eigentlichen Sinn werden Schaltungsteile verstanden, die Ein- bzw. Ausgabesignale verarbeiten, die ueber das Interface vom 16-Bit-Rechner ausgegeben bzw. empfangen werden. Fuer diese Peripherie werden Schaltkreise der UA880-Familie (UA855-PIO, UA856-SIO, UA857-CTC) eingesetzt. (vgl. Bild 3.6-1).

Fuer rechnerinterne Ablaeufe werden programmierbare Steuerfunktionen benoetigt, die mit 4- und 8-Bit-Register-Schaltkreisen realisiert werden. Vom Prozessor wird diese "Spezielle Logik" ebenfalls ueber I/O-Befehle angesprochen.

Bei Zugriffen auf die UA880-Peripherie-Schaltkreise werden die erforderlichen System-Signale M1-, RD- und IORQ-entsprechend Tabelle 3.6-9 erzeugt:

Tabelle 3.6-9 UA880-Peripherie-System-Signale:

Zugriff	!	IORQ-	RD-	M1-
Lesen	!	0	0	1
Schreiben	!	0	1	1
Interrupt-Quittier-Zyklus	!	0	1	0
Return-from-Int. (RETI)	!	1	0	0

Die in Tabelle 3.6-9 aufgefuehrten Signale sind auch auf die Busstecker gefuehrt (vgl. Tabelle 3.-7). Sie sind dort mit der Vorsilbe BUS versehen. Die Nutzung dieser Signale fuer I/O-Erweiterungskarten ist nur bedingt moeglich!

Der Datenverkehr erfolgt ueber den Low-Datenbus der UB8001-CPU. Der Return-from-Interrupt-Zyklus wird durch die Ausgabe der beiden unmittelbar aufeinanderfolgenden Datenbytes "ED", "4D" (hex) an die RETI-Port-Adresse erzeugt.

6.4.2. I/O-Adressen

Es folgt die Zusammenstellung aller I/O-Adressen des 16-Bit-Rechners fuer die Peripherie und spezielle Logik, sowie eine kurze Aussage zur Funktion.

Tabelle 3.6-10 Adressen und Funktion der Peripherie-schaltkreise:

Adr.	Funktion
FF81 !	SIO0: Kanal A, Daten
FF83 !	Kanal B, Daten
FF85 !	Kanal A, Control
FF87 !	Kanal B, Control
FF89 !	SIO1: Kanal A, Daten
FF8B !	Kanal B, Daten
FF8D !	Kanal A, Control
FF8F !	Kanal B, Control
FF91 !	PIO0: Port A, Daten
FF93 !	Port B, Daten
FF95 !	Port A, Control
FF97 !	Port B, Control
FF99 !	PIO1: Port A, Daten
FF9B !	Port B, Daten
FF9D !	Port A, Control
FF9F !	Port B, Control
FFA1 !	PIO2: Port A, Daten
FFA3 !	Port B, Daten
FFA5 !	Port A, Control
FFA7 !	Port B, Control
FFA9 !	CTC0: Kanal 0
FFAB !	Kanal 1
FFAD !	Kanal 2
FFAF !	Kanal 3
FFB1 !	CTC1: Kanal 0
FFB3 !	Kanal 1
FFB5 !	Kanal 2
FFB7 !	Kanal 3

serieller Kanal 0 (tty4)

serieller Kanal 1 (tty5)

serieller Kanal 2 (tty6)

serieller Kanal 3 (tty7)

Kopplung 8-Bit-Rechner

Kopplung 8-Bit-Rechner

Kopplung 8-Bit-Rechner

Kopplung 8-Bit-Rechner

Kopplung Winchester Contr.

Kopplung Winchester Contr.

BAUD0: SIO0-A

BAUD1: SIO0-B

BAUD2: SIO1-A

Single Step Steuerung

BAUD3: SIO1-B

-

Systemuhr

Systemuhr

Tabelle 3.6-11 Adressen und Funktion der speziellen Logik:

Adr.	Funktion	
FFC1	SCR: System-Configurations-Register	r/w, 4 Bit
FFC9	SBR: System-Break-Register	r/w (1)
FFD1	NBR: Normal-Break-Register	r/w
FFD9	SNVR: Segment-Violation-Register	r (1)
FFE1	RETI: Return from Interrupt	w
FFE9	-	
FFF1	TRPL: Trap-Low-Byte-Register	r
FFF9	IF1L: Instruction-Fetch-First-Word-Register	r

r/w: Lese-/Schreibregister (ohne Angabe 8 Bit)

r: Nur-Lese-Register (8-Bit)

w: Nur-Schreib-Port, keine Speicherung

(1) Gilt nur fuer Leiterkarten Index 0!

6.4.3. Serielles Interface

Der 16-Bit-Rechner besitzt vier serielle Kanäle, die mit tty4 bis tty7 bezeichnet werden. Es kann mit V.24- bzw. IFSS-Signalen (nur tty6, tty7) gearbeitet werden (vgl. Tabelle 3.6-11).

** Zu diesem Komplex ist Kapitel 2 Abschnitt 5 "Interfacekabel(1)" zu beachten!

Die Interface-Anschlüsse der 16-Bit-Rechnerkarte sind als Datenerübertragungseinrichtung -DUE- entsprechend TGL 29077/01 ausgeführt und - wie international üblich - mit einer 25-poligen Sub-D-Buchsenleiste (Typ 203-25-EBS-GO 4006/01-2) ausgerüstet. Die Schaltung des Computers als DUE ermöglicht die eins zu eins Verbindung mit allen Geräten, die als Dateneinrichtung -DEE- arbeiten (z.B. Terminals bzw. Drucker).

Der Kanal tty4 ist so ausgebaut, dass eine Daten-Nahübertragungseinrichtung (DNUE) vom Typ K8172 angeschlossen werden kann.

Tabelle 3.6-12 Serielle Kanäle:

serieller Kanal	SIO-Kanal	Funktion	Buchse
tty4	SIO0 - A	V.24 (für DNUe K8172)	X4
tty5	SIO0 - B	V.24 abger.	X5
tty6	SIO1 - A	V.24 abger. / IFSS	X6
tty7	SIO1 - B	V.24 abger. / IFSS	X7

An den Buchsenleisten X4 bis X7 sind nachfolgend aufgeführte Interfaceleitungen V.24 (TGL 29077/01) verfügbar.

Erläuterung zu den verwendeten Abkürzungen:

- Pin: Steckeranschluss
- Nr.: Leitungsnummer
- E/A: Eingang / Ausgang
- Name: Signal-Kurzzeichen

Tabelle 3.6-13 V.24-Interface Kanal tty4 (Buchse X4):

Pin	Nr.	E/A	Name	Funktion
2	103	E	RD	Empfangsdaten
3	104	A	TD	Sendedaten
(4	105	E	CTS	Sendebereitschaft) (1)
5	106	A	RTS	Sendeteil einschalten
(6	107	E	DSR	Betriebsbereitschaft) (1)
7	102	-	SG	Betriebserde
8	109	A	DTR	Endgeräet betriebsbereit
15	114	E	TC	Sendeschrittakt von DUE
17	115	E	RC	Empf.schrittakt von DUE
20	108	E	DCD	Empfangssignalpegel
24	113	A	TC	Sendeschrittakt zur DUE

(1) Die Nutzung dieser Signale ist vorerst nur nach einer Schaltungsänderung auf der Leiterkarte möglich!

Der Sende-/Empfangsschrittakt für den Kanal tty4 wird intern vom CTC0, Kanal 0 geliefert. Bei Bedarf kann über das Wickelbrückenfeld 17...26 eine Umschaltung vorgenommen werden:

Tabelle 3.6-14 Taktbereitstellung beim Kanal tty4:

Taktbereitstellung	! Bruecke
Sendetakt intern	! 21---26
Empfangstakt intern	! 18---22
Sendetakt extern ueber 114 (TC)	! 20---25
Empfangst. extern ueber 115 (RC)	! 19---24
Sendetakt zur DUE ueber 113 (TC)	! 17---23

Die Kanäle tty5, tty6 und tty7 besitzen ein abgeruestetes V.24-Interface mit den Leitungen 102, 103, 104, 108, 109. Die Taktversorgung erfolgt nur intern (vgl. Tabelle 3.6-15).

Tabelle 3.6-15 V.24-Interface

Kanal tty5 (Buchse X5)
 Kanal tty6 (Buchse X6)
 Kanal tty7 (Buchse X7):

Pin	! Nr.	! E/A	! Name	! Funktion
2	! 103	! E	! RD	! Empfangsdaten
3	! 104	! A	! TD	! Sendedaten
7	! 102	! -	! SG	! Betriebserde
8	! 109	! A	! DTR	! Endgeraet betriebsbereit
20	! 108	! E	! DCD	! Empfangssignalpegel

Die Kanäle tty6 und tty7 bieten die Moeglichkeit der Umstellung auf IFSS-Interface. Zur Aktivierung dieser Interfaceart sind im Anschlussstecker die Kontakte 9 (IFSS) und 7 (SG) miteinander zu verbinden.

Die IFSS-Sender sind aktiv, die IFSS-Empfaenger passiv ausgefuehrt, letztere koennen aber durch die am Anschluss 12 zur Verfuegung stehende Stromquelle auch aktiv betrieben werden.

Neben den in Tabelle 3.6-15 aufgefuehrten V.24-Signalen enthalten die Kanäle tty6 und tty7 folgende IFSS-Signalanschluesse:

Tabelle 3.6-16 IFSS-Interface
 Kanal tty6 (Buchse X6)
 Kanal tty7 (Buchse X7):

Pin	Nr.	E/A	Name	Funktion
9	-	E	IFSS	Umschaltung auf IFSS mit 7 (SG) zu verbinden
10	IFSS	A	SD+	Stromausgang Sender
13	IFSS	A	ED+	Stromausgang Empfaenger
14	IFSS	E	ED-	Stromeingang Empfaenger
19	IFSS	E	SD-	Stromeingang Sender
12	IFSS	A	Q+	Stromquellenausgang

6.4.4. Baudratengenerator

Zur Realisierung der erforderlichen Taktraten werden ein Quarz-Taktgenerator, ein 8-fach Vorteiler und vier CTC-Kanaele mit nachfolgenden 2-fach Teilern verwendet:

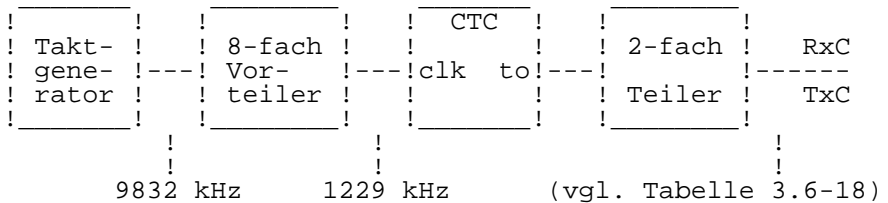


Bild 3.6-5 Teilerkette zur Baud-Raten Generierung

Die CTC-Kanaele sind den SIO-Kanaelen fest zugeordnet, wie Tabelle 3.6-17 zeigt:

Tabelle 3.6-17 Zuordnung SIO-Kanaele zu CTC-Kanaele:

Kanal	SIO	CTC
tty4	SIO0 Kanal A	CTC0 Kanal 0 (1)
tty5	SIO0 Kanal B	CTC0 Kanal 1
tty6	SIO1 Kanal A	CTC0 Kanal 2
tty7	SIO1 Kanal B	CTC1 Kanal 0

(1): Beachte Taktbereitstellung fuer Kanal tty4 (Tabelle 3.6.-14)!

Die gewuenschte Baudrate kann durch entsprechende Programmierung der CTC-Zaehler und SIO-Vorteiler im Bereich von 75 bis 19200 Bit/s eingestellt werden:

Tabelle 3.6-18 CTC-Zeitkonstanten und SIO-Vorteiler:

Baud-Rate	CTC-Zeitkonst.	SIO-Vorteiler
19200	1	32
9600	2 (1)	32 (64)
4800	4 (2)	32 (64)
2400	8 (4)	32 (64)
1200	16 (8)	32 (64)
600	32 (16)	32 (64)
300	64 (32)	32 (64)
150	128 (64)	32 (64)
75	256 (128)	32 (64)

6.4.5. Paralleles Interface

Die Parallelschnittstellen des 16-Bit-Rechners werden mit UA855-Schaltkreisen (PIO0...PIO2) realisiert. Ueber PIO0 und PIO1 erfolgt die Kopplung zum 8-Bit-Rechner, ueber PIO2 der Anschluss des P8000-Winchesterbeistellers.

P8000-Winchester-Anschluss:

Diese von aussen zugaengliche Parallel-Schnittstelle ist speziell fuer den Anschluss des im P8000-Winchesterbeisteller befindlichen Hard-Disk-Controllers ausgelegt (vgl. Kapitel 6). Tabelle 3.6-19 zeigt die Anschlussbelegung der verwendeten 25-poligen Sub-D-Buchsenleiste (Typ 203-25-EBS-GO 4006/01-2).

Tabelle 3.6-19 Belegung Winchester-Anschluss (X8):

Pin	Signal	E/A	Funktion
14	D0	E/A	Datenbit 0
2	D1	E/A	Datenbit 1
5	D2	E/A	Datenbit 2
17	D3	E/A	Datenbit 3
4	D4	E/A	Datenbit 4
16	D5	E/A	Datenbit 5
3	D6	E/A	Datenbit 6
15	D7	E/A	Datenbit 7
1	WDARDY-	A	Control
18	ASTB-	E	Control
21	STATUS0	E	Control
10	STATUS1	E	Control
22	STATUS2	E	Control
25	TE-	A	Control
9	TR-	E	Control
24	RST-	A	Reset
7	GND	-	Masse
20	5P	-	+5 V
12	WDARDY	A	nicht benutzt
23	-	A	nicht benutzt
11	-	A	nicht benutzt
19	BRDY	A	nicht benutzt
6	BSTB-	E	nicht benutzt
8	!	!	frei
13	!	!	frei

Kopplung mit 8-Bit-Rechner:

Die 32 Daten- und 8 Handshake-Signale dieser Parallelschnittstelle sind auf zwei 26-polige Steckerleisten (X2, X3) gefuehrt, die von aussen nicht zugaenglich sind. Ueber sie erfolgt auf kurzem Weg die Verbindung zum 8-Bit-Rechner.

Tabelle 3.6-20 Parallelinterface X2, X3:

Pin	Signal	E/A	Funktion

X3:B4	D0/8-16	E	Datenbit 0
X3:A6	D1/8-16	E	Datenbit 1
X3:A7	D2/8-16	E	Datenbit 2
X3:B13	D3/8-16	E	Datenbit 3
X3:B11	D4/8-16	E	Datenbit 4
X3:B10	D5/8-16	E	Datenbit 5
X3:B9	D6/8-16	E	Datenbit 6
X3:B8	D7/8-16	E	Datenbit 7

X2:B2	D0/16-8	A	Datenbit 0
X2:B9	D1/16-8	A	Datenbit 1
X2:B8	D2/16-8	A	Datenbit 2
X2:B7	D3/16-8	A	Datenbit 3
X2:B1	D4/16-8	A	Datenbit 4
X2:A10	D5/16-8	A	Datenbit 5
X2:A8	D6/16-8	A	Datenbit 6
X2:A1	D7/16-8	A	Datenbit 7

X3:A12	V1/8-16	E	Vektor 1
X3:A11	V2/8-16	E	Vektor 2
X3:A10	V3/8-16	E	Vektor 3
X3:A9	V4/8-16	E	Vektor 4
X3:A8	V5/8-16	E	Vektor 5
X3:B7	V6/8-16	E	Vektor 6

X2:A5	V1/16-8	A	Vektor 1
X2:A4	V2/16-8	A	Vektor 2
X2:A3	V3/16-8	A	Vektor 3
X2:A2	V4/16-8	A	Vektor 4

X3:A5	ASTB1-	E	Eingabedaten vorhanden
X3:A3	ARDY1	A	Eingabedaten uebernommen
X2:B5	ARDY0	A	Ausgabedaten vorhanden
X2:B3	ASTB0-	E	Ausgabedaten uebernommen
X2:A6	INT8	A	Int. zum 8-Bit-Rechner
X3:A13	INT16	E	Int. vom 8-Bit-Rechner
X3:B1	RESET	E	Freigabe 16-Bit-Rechner
X3:B5	NMIU8000-	E	NMI- auf 16-Bit-Rechner

X2:A13, B13		-	Masse
X3:B12		-	Masse
X2:A7	BRDY0	A	-
X2:B4	BSTB0-	E	-
X3:B3	BRDY1	A	-
X3:A4	BSTB1-	E	-

6.5. Speicherverwaltung

6.5.1. Hauptfunktionen

Auf der 16-Bit-Rechnerkarte werden drei MMU-Schaltkreise UB8010 (MMU memory management unit) zur dynamischen Verwaltung eines maximal 16 MByte grossen Arbeitsspeichers eingesetzt. Die Hauptfunktionen der Speicherverwaltung sind:

- Flexible und effiziente Zuweisung von Hauptspeicherressourcen an das Betriebssystem bzw. an Anwendertasks.
- Unterstuetzung unabhaengiger Tasks, die auf gleiche Speicherbereiche zugreifen wollen.
- Verhinderung von unbefugten Speicherzugriffen.
- Feststellung von offensichtlich unkorrekter Benutzung des Speichers durch laufende Tasks.
- Aufteilung des Arbeitsspeichers und Trennung der Anwender- von Systemfunktionen.

Gesteuert werden die drei MMU's von der CPU ueber eine spezielle Logik, die die verschiedenen Softwarebetriebsarten beruecksichtigt:

- Betriebssystem:
Urspruenglich vorgesehen war die Moeglichkeit mit nichtsegmentierten bzw. segmentierten Betriebssystemen zu arbeiten. Die Umschaltung erfolgte mittels Wickelbruecken 1...16 (vgl. Tabelle 6.5-6). Durch die Festlegung auf das segmentiert arbeitende Betriebssystem sind die Wickelbruecken ab Leiterplattenindex 1 entfallen.
- Anwenderprogramme:
Es koennen segmentierte oder nichtsegmentierte Anwenderprogramme abgearbeitet werden. Vor dem Start segmentierter Anwenderprozesse muss das SEG MSR BIT des System-Configurations-Registers gesetzt werden (vgl. Tabelle 3.6-5).

6.5.2. MMU-Konfiguration und Steuerung

Eine Speicherverwaltung direkt mit MMU's ist nur fuer segmentierte Programme moeglich. Soll sie auch fuer nicht-segmentierte Programme realisiert werden, ist zusaetzliche Hardware zur Steuerung der MMU's erforderlich. Auf der 16-

Bit-Karte werden dafür 8-Bit-Register (Breakregister), Komperatoren und Logikschaltungen eingesetzt. Die drei MMU's sind fuer

- den Code-Bereich (MMU1 oder Code-MMU)
- den Daten-Bereich (MMU2 oder Data-MMU)
- den Stack-Bereich (MMU3 oder Stack-MMU)

eines nichtsegmentierten Programms vorgesehen. Die spezielle Logik sorgt dafür, dass bei einem Befehlslesezyklus die Code-MMU aktiviert wird (Auswertung des CPU-Status 1lxx) und bei Daten- bzw. Stack-Zugriff entsprechend die Data- bzw. Stack-MMU aktiviert werden. Die Umschaltung zwischen Data- und Stack-MMU erfolgt dabei durch Vergleich eines vorher im Breakregister abgelegten 8-Bit-Wortes mit dem High-Teil der laufenden Adresse. Ist die laufende Adresse kleiner als die "Breakadresse" wird die Data-MMU angesteuert, ist sie groesser die Stack-MMU.

Um zwischen nichtsegmentierten System- und Anwenderprogrammen unterscheiden zu koennen befinden sich auf den 16-Bit-Karten Index 0 zwei Breakregister, das System- und das Normal-Break-Register (SBR und NBR). Fuer das jetzt nur noch eingesetzte segmentierte Betriebssystem ist kein Breakregister mehr erforderlich, so dass das SBR auf den Leiterkarten ab Index 1 entfaellt.

Die MMU-Steuerlogik muss also drei Zustaeude erkennen und entsprechend reagieren:

- (1) Betriebssystem segmentiert (CPU arbeitet im System-Mode):
Die drei Bereiche Code, Data und Stack werden von der MMU1 verwaltet. MMU2, MMU3 und die Breakregister werden nicht aktiviert.
- (2) Anwenderprozess nichtsegmentiert (CPU arbeitet im Normal-Mode, Segmentnummer 63):
Das SEG USER Bit ist 0. Die MMU-Konfiguration ist wie oben fuer nichtsegmentierte Programme beschrieben (Code-, Data-, Stack-MMU), das NBR ist aktiv und steuert die Data- bzw. Stack-MMU.
- (3) Anwenderprogramm segmentiert (CPU arbeitet im Normal-Mode):
Das SEG USER Bit ist 1. MMU2 und MMU3 werden benutzt um 128 moegliche Speicher-Segmente zu adressieren, die jeweils Code-, Data- oder Stack-Bereich sein koennen. MMU2 verwaltet die Segmente 0...63, MMU3 die Segmente 64...127. Die Umschaltung erfolgt hardwaregesteuert in Abhaengigkeit der Segmentleitung 6 (SN6 = 0 -> MMU2, SN6 = 1 -> MMU3). Beide MMU's werden also fuer den

Bereich 0...63 programmiert, ihr URS-Flag ist Null!

6.5.3. Segmenttrap- und Suppress-Signale

Die MMU's generieren zwei Signale bei Verletzung der Zugriffsbedingungen. Das Signal SEGT- wird zur CPU gesendet und loest dort einen entsprechenden Trap aus. Das Signal SUP- (Suppress) verhindert bei Segmentverletzung ein Beschreiben des Arbeitsspeichers durch Unterdruecken des Signals BUSDS-.

Externe Logik zur Erzeugung der Signale SEGT- und SUP- entfaellt ab Leiterplattenindex 1. Sie war fuer nichtsegmentiertes Betriebssystem erforderlich.

Zur Auswertung eines Segmenttraps durch die CPU sind zwei externe 8-Bit-Register vorgesehen, in denen die niederwertigen acht Adressbits des laufenden Speicherzyklus (TRPL Trap-Low-Byte-Register) und die niederwertigen acht Adressbits des ersten Befehlswortes (IF1L Instruction-Fetch-First-Word-Register) abgespeichert werden.

Ein weiteres 8-Bit-Register zum Abspeichern der Segmentnummer (SNVR Segment-Violation-Register) fuer nichtsegmentiertes Betriebssystem entfaellt ab Leiterplattenindex 1.

7. Der 16-Bit-Rechner Index 4

Die Weiterentwicklung der 16-Bit-Rechnerkarte fuehrt ueber Index 2, Index 3 zur Leiterkarte Index 4. Mit Index 2 und 3 werden interne Arbeitsstaende bezeichnet, Index 4 wird im P8000-Computer eingesetzt. Dieser ist dann mit der Versionsnummer "V: 4xxx" gekennzeichnet (vgl. Kapitel 1, Abschn. 5).

Bei dem neuen Leiterplattenindex ist folgendes zu beachten:

- ** Die 16-Bit-Rechnerkarten Index 4 besitzen veraenderte Interface-Anschlusse!
- ** 16-Bit-Rechnerkarten Index ≥ 4 duerfen nur mit 8-Bit-Rechnerkarten Index ≥ 3 gekoppelt werden!
- ** Der P8000-Computer V: 43xx erfordert gegenueber V: 11xx geaenderte Interfacekabel (vgl. Kapitel 2, Abschn. 6)!

7.1. Uebersicht

Der 16-Bit-Rechner des P8000 wird konstruktiv aus zwei Funktionsgruppen gebildet, der 16-Bit-Rechner-Karte und den steckbaren Hauptspeicher-Karten. Es handelt sich also praktisch um einen Einkartenrechner, der durch Speicherkarten ergaenzt wird. Unter Verzicht auf Universalitaet konnte so auf eng begrenztem Raum ein kompakter, leistungsfaeiger 16-Bit-Rechner realisiert werden, dessen Struktur auf das Betriebssystem WEGA abgestimmt ist (vgl. Bild 3.7-1).

Der Rechner, der mit einer Taktfrequenz von 4 MHz arbeitet, basiert auf dem 16-Bit-Mikroprozessor UB8001. Drei Speicher-verwaltungsbausteine UB8010 uebernehmen in Verbindung mit einer speziellen Steuerlogik die dynamische Speichersegment-zuweisung im Arbeitsspeicher und den Schutz vor unbefugten Zugriffen.

Der Hauptspeicher wird durch aufgesteckte dynamisch arbeitende Speicherkarten (DRAM-Karten) realisiert. Seine Kapazitaet kann 256 KByte bis 4 MByte betragen. Der elektrische Anschluss der DRAM-Karten erfolgt durch einen speziell dafuer ausgelegten nichtstandardisierten Speicherbus.

Zum Systemanlauf, fuer Eigentestroutinen und den Testmonitor besitzt der Rechner einen On-Board-Speicher von 16 KByte EPROM und 2 KByte statischem RAM, der nach Hochfahren des Betriebssystems ausgeschaltet wird.

Die Peripherie des 16-Bit-Rechners wird durch Schaltkreise der UA880-Familie gebildet. Eine entsprechende Steuerlogik realisiert die Zusammenarbeit dieser Schaltkreise mit der UB8001-CPU.

Bild 3.7-1 Struktur des 16-Bit-Rechners (4)

Konstruktiv ist die 16-Bit-Rechnerkarte als 6-Lagen-Leiterplatte im Format 380 mm x 250 mm ausgeführt. An einer der Laengsseiten der Leiterplatte sind vier oder fuenf 25-polige Buchsenleisten angeordnet, die von der Rueckseite des Computers zugaenglich sind. Sie bilden die Interfaceanschluesse des 16-Bit-Rechners (vier serielle Kanale, und bei Bedarf ein paralleler Kanal). Auf der gegenueberliegenden Seite der Karte erfolgt die Kopplung zur 8-Bit-Rechnerkarte ueber zwei 26-polige Steckverbinder. Ein weiterer Steckverbinder dient dem internen Anschluss des Winchester-Controllers. Je nach Einsatzfall der 16-Bit-Rechnerkarte wird entweder der extern oder der intern zugaengliche WDC-Anschluss bestueckt.

Zur Aufnahme der DRAM-Karten sind auf der 16-Bit-Leiterkarte fuenf 96-polige Buchsenleisten so angeordnet, dass die gesteckten DRAM-Karten nebeneinander und senkrecht zur Rechnerkarte stehen. Es sind maximal vier DRAM-Karten vorgesehen, der fuenfte Steckplatz ist zukuenftigen Erweiterungen vorbehalten.

Die Stromversorgung (+5 V, +12 V, -12 V, GND) erfolgt ueber eine 10-polige Steckerleiste an der oberen Schmalseite der Leiterplatte.

Bild 3.7-2 zeigt die Lage der Steckverbinder und Anordnung von Wickelstiften auf der 16-Bit-Karte. Auf ihre Funktion wird in den folgenden Abschnitten eingegangen.

7.2. Der Rechnerkern

7.2.1. Systemtakterzeugung

Die auf der 16-Bit-Rechnerkarte erforderlichen Taktsignale (MOS- und TTL-Pegel) werden von einem 16-MHz-Takt abgeleitet, den der mit einem 16-MHz-Quarz betriebene Clockgeneratorschaltkreis DL8127 liefert (vgl. Tabelle 3.7-1).

Tabelle 3.7-1 Clock-Signale

Signal	! Pegel !	Erlaeuterung
INT4PHI-	! TTL !	16 MHz
INT2PHI	! TTL !	8 MHz
INTPHI	! TTL !	4 MHz
CLOCK8000	! MOS !	4 MHz fuer UB8000-Schaltkreise
CLOCK80	! MOS !	4 MHz fuer 8-Bit-Peripherie

7.2.2. Reset-Generierung

Das Master-Reset-Signal (MRESET-) kann von vier Eingangs-Reset-Signalen erzeugt werden:

Tabelle 3.7-2 Reset-Signale

Signal	Erlaeuterung
PRES-	! Power-on-Reset, vom DL8127 nach dem Einschalten fuer ca. 1s Dauer erzeugt.
RESET	! von der 8-Bit-Rechnerkarte abgeleitet. ! Liegt statisch an nach Einschalten des Computers bzw. Betaetigen der Reset-Taste. Muss durch Koppelsoftware aufgehoben werden.
BUSTESTRESET-	! kann ueber Buchsenleiste X9 fuer Pruefzwecke eingespeist werden.
SOFTRESET-	! wird durch eine Scheinausgabe an FFE9H erzeugt. Fuer gezieltes Stillsetzen der CPU.

Von MRESET- wird fuer den Speicherbus das Resetsignal BUSMRESET- abgeleitet.

Das Signal MRESET- bewirkt folgende Reaktion auf der 16-Bit-Rechnerkarte:

- Bit 0...3 im SCR werden auf Null gesetzt (vgl. 7.2.6.), d.h. der On-Board-Speicher ist aktiv, die Adressierung des Arbeitsspeichers erfolgt direkt durch die CPU (MMU aus), es sind nur nichtsegmentierte Anwenderprogramme zugelassen und Paritätsfehlermeldungen der Speicherarten werden nicht akzeptiert.
- die Steuerregister der MMU's sind gelöscht, aber das Master-Enable-Flag in den MMU's wird nicht auf Null gesetzt.
- alle Sender und Empfänger der SIO's (tty-Kanäle) sind gesperrt, Interrupts sind gelöscht, alle Steuerregister müssen neu initialisiert werden.
- die CTC-Kanäle sind gestoppt, alle Interrupt-Freigabe-Bits sind gelöscht, die Steuerregister müssen neu initialisiert werden.
- in den PIO's sind die Port-Masken-Register gelöscht, die READY-Signale inaktiv, die Port-Interrupt-Freigabe-Flipflops zurückgesetzt und die PIO-Betriebsart 1 eingestellt. Die Interrupt-Vektor-Register sind nicht gelöscht.

Wird MRESET- inaktiv, startet die UB8001-CPU das in den On-Board-EPROM's enthaltene Monitorprogramm. Auf der Systemconsole wird die Meldung:

U8000-Softwaremonitor Version x.x - Press NMI

erzeugt. Durch Betätigen der NMI-Taste kann jetzt WEGA gestartet oder mittels anderer Kommandos im Monitor gearbeitet werden.

7.2.3. NMI-Generierung

Ein nichtmaskierbarer Interrupt (NMI) kann von drei Quellen ausgelöst werden, die sich nach erfolgtem NMI durch Lesen des NMI-Identifiers ermittelt lassen.

Tabelle 3.7-3 NMI-Signale:

Signal	!	Erlaeuterung
MANUAL NMI-	!	wird durch Betaetigen derTaste <NMI> erzeugt, wenn von der 8-Bit-Rechner- karte die Durchschaltung des Signals freigegeben wurde.
BUSPE-	!	Fehlersignal, speziell Paritaetsfehler einer DRAM-Karte. Muss mittels RESET- oder CLR PARITY- rueckgesetzt werden.
POWER FAIL-	!	Fehlersignal der Stromversorgung. (1)

(1) Derzeit wird von der Stromversorgung kein POWER-FAIL-Signal erzeugt.

Der NMI-Identifier (vgl. Tabelle 3.7-4) wird waehrend des NMI-Quittier-Zyklus gelesen und im System-Stack abgelegt, so dass anschliessend eine Auswertung erfolgen kann. Erfasst werden die unteren vier Bit des Low-Daten-Bytes, dabei ist AD3 stets Null.

Tabelle 3.7-4 NMI-Identifier:

NMI-Quelle	!	AD3	AD2	AD1	AD0
Manual	!	0	0	0	1
Power fail	!	0	0	1	0
Paritaetsfehler!	!	0	1	0	0

7.2.4. Interrupt-Generierung

Die UB8001-CPU kennt neben dem hoechstpriorisierten NMI noch die Interruptsignale VI- und NVI-. Alle durch Interface-Schaltkreise gesendeten Interruptanforderungen werden auf den VI-Eingang gefuehrt, eine NVI-Anforderung erfolgt auf der 16-Bit-Rechnerkarte nicht.

Die Interruptprioritaet ist in der unten dargestellten Reihenfolge festgelegt und kann nicht veraendert werden (hierzu Bild 3.7-1 und Bild 3.7-2):

- +--CTC0---CTC1---SIO0---SIO1---PIO0---PIO1---PIO2---*
- *--X13----X12----X11----X10----X9 (BUS).

7.2.5. Trap-Generierung

Die UB8001-CPU verarbeitet ein Trap-Signal (SEGT-), das Speicherzugriffsverletzungen (Segmentation Violation) signalisiert. Erzeugt wird dieses Signal von den Speicherverwaltungsbausteinen UB8010-MMU.

7.2.6. Systemkonfiguration

Die Systemkonfiguration erfolgt durch ein 8-Bit-Register, das System-Configuration-Register (SCR).

Die unteren vier Bit des SCR koennen gesetzt und damit Funktionsgruppen der Rechnerkarte aktiviert oder deaktiviert werden (vgl. Tabelle 3.7-5).

Tabelle 3.7-5 Steuerbits des SCR:

Bit	! Art	! Signal	! Funktion
0	! r/w	! BD MEM ON-	! 0: On-Board-Speicher ein ! 1: On-Board-Speicher aus
1	! r/w	! MMU ONH	! 0: MMU aus ! 1: MMU ein
2	! r/w	! SEG USR	! 0: nichtseg. User-Prog. ! 1: segmentiertes User-Prog.
3	! r/w	! CLR PARITY-	! 0: Paritaetsfehler loeschen ! bzw. nicht akzeptieren ! 1: Paritaetsfehler wird ak- ! zeptiert (erzeugt NMI-)

r/w: Lesen und Schreiben moeglich

** Das Signal MMU ON wirkt nicht auf die MMU-Schaltkreise, sondern schaltet die Adressbustreiber des Speicherbus auf die MMU-Adressen um (bei MMU ON = 1)!

7.3. Speicher

7.3.1. Speicheradressierung

Die von der UB8001-CPU generierte logische Adresse besteht aus der Segment-Nummer (7 Bit) und dem Offset (16 Bit). Diese Adresse wird zwischengespeichert und bildet den lokalen Adressbus, der den On-Board-Speicher adressiert (wenn BD MEM ON- = 0 gilt, vgl. Tabelle 3.7-5).

Der Hauptspeicher kann ebenfalls ueber den lokalen Adressbus adressiert werden, z.B. fuer Testzwecke. Wichtiger fuer ihn ist aber der "translated" Adressbus, eine 24-Bit-Adresse, die von den MMU-Schaltkreisen aus der logischen CPU-Adresse berechnet wird. Dieser Adressbus wird mit dem Signal MMU ONH = 1 aktiv (vgl. Tabelle 3.7-5).

Zugriffe der CPU auf den On-Board-Speicher loesen automatisch einen Wait-Zyklus (T2-Wait) aus, dagegen erfolgen die Hauptspeicherzugriffe auch bei Nutzung der MMUs ohne Wait-Zyklen.

Die von der UB8001-CPU generierte Speicheradresse ist immer eine Byte-Adresse. Ein Speicher besteht deshalb aus mindestens zwei Speicherbaenken, die jeweils mit dem Low-Datenbus (D0...D7) und dem High-Datenbus (D8...D15) verbunden sind. Bei einem Wortzugriff der CPU werden beide Speicherbaenke gleichzeitig adressiert, so dass zwei Byte parallel gelesen oder geschrieben werden. Das niederwertigste Adressbit A0 ist dabei 0, die Adresse ist gerade.

Bei Bytezugriffen wird mit dem Adressbit A0 gekennzeichnet, ob es sich um ein Low-Datenbyte (A0=1) oder High-Datenbyte (A0=0) handelt. Zwischen Lesen und Schreiben sind Unterschiede zu beachten:

Bytelesen: Die CPU trifft die Auswahl selbst, d.h. der Zustand von A0 ist fuer den Speicher unwichtig, beide Datenbytes koennen adressiert und wie beim Wortzugriff parallel auf den Datenbus gelegt werden.

Byteschreiben: Die CPU legt das zu schreibende Datenbyte auf beide Teile des Datenbus. Der Speicher muss mittels A0 die zu adressierende Speicherbank auswaehlen.

7.3.2. On-Board-Speicher

Der On-Board-Speicher besitzt eine Groesse von 18 KByte, davon 16 KByte Festwertspeicher (EPROM) und 2 KByte

Schreib-/Lese-Speicher (statischer RAM, SRAM). Dieser Speicherbereich ist erforderlich fuer den Systemanlauf (Initialisierung, Urlader), fuer den U8000-Software-Monitor und fuer Hardware-Eigentestroutinen. Er ist nach Ruecksetzen des 16-Bit-Rechners aktiv, bzw. kann ueber das Bit 0 des System-Configuration-Register (SCR) ein- oder ausgeschaltet werden (vgl. Tabelle 3.7-5).

Der On-Board-Speicher liegt im Segment 0, Offset-Adresse

```
0000H ... 3FFEh Festwertspeicher
4000H ... 47FFh Schreib-/Lesespeicher.
```

Bei aktivem On-Board-Speicher beginnt die Hauptspeicheradresse bei <00>8000H. Wegen der nicht vollstaendigen Adressdekodierung fuer den SRAM-Bereich erscheint dieser im Bereich 4000 bis 6000 viermal in Abstaenden zu je 2 KByte. Der Adressbereich <00>6000 bis <00>7FFF ist leer.

Der Festwertspeicher wird mittels vier 4 KByte EPROM-Schaltkreise (Typ 2732) realisiert. Sie bilden zwei Speicherbaenke, die jeweils mit dem Low-Datenbus (Odd-Adresse) und dem High-Datenbus (Even-Adresse) verbunden sind.

Tabelle 3.7-7 Belegung der Busstecker X9...X13:

Pin	! Reihe a ! Signal	! Reihe b ! Signal	! Reihe c ! Signal
1	! BUS ST0	! +5 V	! BUS ST1
2	! BUS ST2	! +5 V	! BUS ST3
3	! BUS R/W-	! +5 V	! BUS B/W-
4	! BUS DS-	! +5 V	! BUS CLOCK
5	! BUS BUSACK-	! +5 V	! BUS STOP-
6	! BUS VI-	! BUS N/S-	(1)! BUS NVI-
7	! BUS REQ-	! BUS NMI-	(1)! BUS MRESET-
8	! BUS WAIT- (2)	! RUN/HALT-	(1)! BUS I/O-
9	! BUS RFSN-	! SSNO	(1)! BUS MREQ-
10	! BUS AS-	! SSNC	(1)! BUS M1-
11	! BUS IORQ-	! TEST RESET-	(1)! BUS RD-
12	! BUS A23	! TESTWAIT-	(1)! BUS A22
13	! BUS A21	! TESTDATA-	(1)! BUS A20
14	! BUS A19	! TAPEQUIT-	! BUS A18
15	! BUS A17	! BAUD CLOCK	! BUS A16
16	! BUS A15	!	! BUS A14
17	! BUS A13	!	! BUS A12
18	! BUS A11	! BUSNVIACK-	(1)! BUS A10
19	! BUS A9	! BUS2CLOCK	(1)! BUS A8
20	! BUS A7	!	! BUS A6
21	! BUS A5	!	! BUS A4
22	! BUS A3	! MSDOSNMI-	(1)! BUS A2
23	! BUS A1	!	! BUS A0
24	! B_IEI	! CLR PARITY-	! B_IEO
25	! BUS AD15	! MASSE	! BUS AD14
26	! BUS AD13	! MASSE	! BUS AD12
27	! BUS AD11	! MASSE	! BUS AD10
28	! BUS AD9	! MASSE	! BUS AD8
29	! BUS AD7	! MASSE	! BUS AD6
30	! BUS AD5	! MASSE	! BUS AD4
31	! BUS AD3	! MASSE	! BUS AD2
32	! BUS AD1	! BUS PE-	! BUS AD0

(1) Diese Signale dienen Testzwecken, sie liegen nur am Stecker X9!

(2) Die Steckerstifte fuer BUS WAIT- und TEST WAIT- sind miteinander verbunden!

Tabelle 3.7-8 Erlaeuterungen zu den Bussignalen (Vorsilbe BUS weggelassen):

Signal	! Funktion	! E/A
A0 ... A23	! Adressen	! A
AD0 ... AD15	! Daten	! bi
ST0 ... ST3	! Status	! A
R/W-	! Read/Write-Zugriff	! A
B/W-	! Byte/Word-Zugriff	! A
DS-	! Data Strobe	! A
CLOCK	! INTPHI (Tab. 3.7-1)	! A
BUSACK-	! Bus Acknowledge	! A
STOP-	! Stop	! E
VI-	! Vectored Interrupt	! E (OC)
NVI	! Non-Vectored Interrupt	! E
REQ-	! Bus Request	! E
MRESET-	! Master Reset	! A
I/O-	! Status 2 (I/O reference)	! A
RFSN-	! Status 1 (Memory refresh)	! A
MREQ-	! Memory Request	! A
AS-	! Address Strobe	! A
M1-	! U880 M1 Cycle	! A
IOREQ-	! U880 I/O Request	! A
RD-	! U880 Read	! A
CLR PARITY-	! Clear Parity Error	! A
PE-	! Parity Error	! E (OC)

Unter der Spalte E/A bedeuten dabei:

- A: Ausgang, getrieben, teilweise tristate
- E: Eingang
- E (OC): Eingang, Signalquelle Open-Kollektor
- bi: bidirektionaler Bus

Zur Interrupt-Prioritaets-Kette vgl. auch Abschnitt 7.2.4. Bild 3.7-4 zeigt die Moeglichkeit, die Kette ueber die Busstecker zu fuehren. Zu beachten ist, dass Stecker X9/Pin c24 nicht mehr zur Kette gehoert!

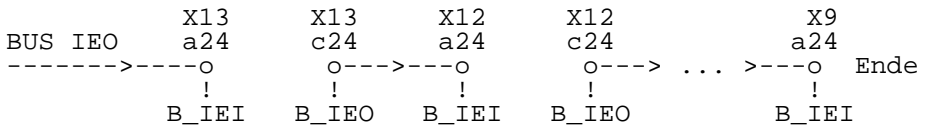


Bild 3.7-4 Bus-Interrupt-Prioritaets-Kette

7.4. Peripherie

7.4.1. Uebersicht

Unter Peripherie im eigentlichen Sinn werden Schaltungsteile verstanden, die Ein- bzw. Ausgabesignale verarbeiten, die ueber das Interface vom 16-Bit-Rechner ausgegeben bzw. empfangen werden. Fuer diese Peripherie werden Schaltkreise der UA880-Familie (UA855-PIO, UA856-SIO, UA857-CTC) eingesetzt. (vgl. Bild 3.7-1).

Fuer rechnerinterne Ablaeufe werden programmierbare Steuerfunktionen benoetigt, die mit 4- und 8-Bit-Register-Schaltkreisen realisiert werden. Vom Prozessor wird diese "Spezielle Logik" ebenfalls ueber I/O-Befehle angesprochen.

Bei Zugriffen auf die UA880-Peripherie-Schaltkreise werden die erforderlichen System-Signale M1-, RD- und IORQ-entsprechend Tabelle 3.7-9 erzeugt:

Tabelle 3.7-9 UA880-Peripherie-System-Signale:

Zugriff	!	IORQ-	RD-	M1-
Lesen	!	0	0	1
Schreiben	!	0	1	1
Interrupt-Quittier-Zyklus	!	0	1	0
Return-from-Int. (RETI)	!	1	0	0

Die in Tabelle 3.7-9 aufgefuehrten Signale sind auch auf die Busstecker gefuehrt (vgl. Tabelle 3.-7). Sie sind dort mit der Vorsilbe BUS versehen. Die Nutzung dieser Signale fuer I/O-Erweiterungskarten ist nur bedingt moeglich!

Der Datenverkehr erfolgt ueber den Low-Datenbus der UB8001-CPU. Der Return-from-Interrupt-Zyklus wird durch die Ausgabe der beiden unmittelbar aufeinanderfolgenden Datenbytes "ED", "4D" (hex) an die RETI-Port-Adresse erzeugt.

7.4.2. I/O-Adressen

Es folgt die Zusammenstellung aller I/O-Adressen des 16-Bit-Rechners fuer die Peripherie und spezielle Logik, sowie eine kurze Aussage zur Funktion.

Tabelle 3.7-10 Adressen und Funktion der Peripherie-schaltkreise:

Adr.	Funktion
FF81 !	SIO0: Kanal A, Daten
FF83 !	Kanal B, Daten
FF85 !	Kanal A, Control
FF87 !	Kanal B, Control
FF89 !	SIO1: Kanal A, Daten
FF8B !	Kanal B, Daten
FF8D !	Kanal A, Control
FF8F !	Kanal B, Control
FF91 !	PIO0: Port A, Daten
FF93 !	Port B, Daten
FF95 !	Port A, Control
FF97 !	Port B, Control
FF99 !	PIO1: Port A, Daten
FF9B !	Port B, Daten
FF9D !	Port A, Control
FF9F !	Port B, Control
FFA1 !	PIO2: Port A, Daten
FFA3 !	Port B, Daten
FFA5 !	Port A, Control
FFA7 !	Port B, Control
FFA9 !	CTC0: Kanal 0
FFAB !	Kanal 1
FFAD !	Kanal 2
FFAF !	Kanal 3
FFB1 !	CTC1: Kanal 0
FFB3 !	Kanal 1
FFB5 !	Kanal 2
FFB7 !	Kanal 3

serieller Kanal 0 (tty4)

serieller Kanal 1 (tty5)

serieller Kanal 2 (tty6)

serieller Kanal 3 (tty7)

Kopplung 8-Bit-Rechner

Kopplung 8-Bit-Rechner

Kopplung 8-Bit-Rechner

Kopplung 8-Bit-Rechner

Kopplung Winchester Contr.

Kopplung Winchester Contr.

BAUD0: SIO0-A

BAUD1: SIO0-B

BAUD2: SIO1-A

Single Step Steuerung

BAUD3: SIO1-B

-

Systemuhr

Systemuhr

Tabelle 3.7-11 Adressen und Funktion der speziellen Logik:

Adr.	Funktion	
FFB9	LEDAUS: Schalten der Anzeige "RUN"	w
FFC1	SCR: System-Configurations-Register	r/w, 4 Bit
FFD1	NBR: Normal-Break-Register	r/w
FFC9	-	
FFD9	LEDEIN: Schalten der Anzeige "RUN"	w
FFE1	RETI: Return from Interrupt	w
FFE9	SOFTRESET	w
FFF1	TRPL: Trap-Low-Byte-Register	r
FFF9	IF1L: Instruction-Fetch-First-Word-Register	r

r/w: Lese-/Schreibregister (ohne Angabe 8 Bit)
 r: Nur-Lese-Register (8-Bit)
 w: Nur-Schreib-Port, keine Speicherung

7.4.3. Serielles Interface

Der 16-Bit-Rechner besitzt vier serielle Kanäle, die mit tty4 bis tty7 bezeichnet werden. Es kann mit V.24- bzw. IFSS-Signalen (nur tty6, tty7) gearbeitet werden (vgl. Tabelle 3.7-11).

** Zu diesem Komplex ist Kapitel 2 Abschnitt 6 "Interfacekabel(2)" zu beachten!

Die Interface-Anschlüsse der 16-Bit-Rechnerkarte sind als Datenendeinrichtung -DEE- entsprechend TGL 29077/01 ausgeführt und - wie international üblich - mit einer 25-poligen Sub-D-Buchsenleiste (Typ 203-25-EBS-GO 4006/01-2) ausgerüstet.

Der Kanal tty4 ist so ausgebaut, dass eine Daten-Nahübertragungs-Einrichtung (DNUe) vom Typ K8172 angeschlossen werden kann.

Tabelle 3.7-12 Serielle Kanäle:

serieller Kanal	SIO-Kanal	Funktion	Buchse
tty4	SIO0 - A	V.24 (für DNUe K8172)	X4
tty5	SIO0 - B	V.24 abger.	X5
tty6	SIO1 - A	V.24 abger. / IFSS	X6
tty7	SIO1 - B	V.24 abger. / IFSS	X7

An den Buchsenleisten X4 bis X7 sind nachfolgend aufgefuehrte Interfaceleitungen V.24 (TGL 29077/01) verfuegbar.

Erlaeuterung zu den verwendeten Abkuerzungen:

Pin: Steckeranschluss
 Nr.: Leitungsnummer
 E/A: Eingang / Ausgang
 Name: Signal-Kurzzeichen

Tabelle 3.7-13 V.24-Interface Kanal tty4 (Buchse X4):

Pin	Nr.	E/A	Name	Funktion
2	103	A	TD	Sendedaten
3	104	E	RD	Empfangsdaten
4	105	A	RTS	Sendeteil einschalten
5	106	E	CTS	Sendebereitschaft
6	107	E	DSR	Betriebsbereitschaft
7	102	-	SG	Betriebserde
8	109	E	DCD	Empfangssignalpegel
15	114	E	TC	Sendeschrittakt von DUE
17	115	E	RC	Empf.schrittakt von DUE
20	108.2	A	DTR	Endgeraet bereit
24	113	A	TC	Sendeschrittakt zur DUE

Der Sende-/Empfangsschrittakt fuer den Kanal tty4 wird intern vom CTC0, Kanal 0 geliefert. Bei Bedarf kann ueber das Wickelbrueckenfeld 1...10 eine Umschaltung vorgenommen werden:

Tabelle 3.7-14 Taktbereitstellung beim Kanal tty4:

Taktbereitstellung	Bruecke
Sendetakt intern	5---10
Empfangstakt intern	2---6
Sendetakt extern ueber 114 (TC)	4---9
Empfangst. extern ueber 115 (RC)	3---8
Sendetakt zur DUE ueber 113 (TC)	1---6

Die Kanale tty5, tty6 und tty7 besitzen ein abgeruestetes V.24-Interface mit den Leitungen 102, 103, 104, 108, 109. Die Taktversorgung erfolgt nur intern (vgl. Tabelle 3.7-15).

Tabelle 3.7-15 V.24-Interface

Kanal tty5 (Buchse X5)
 Kanal tty6 (Buchse X6)
 Kanal tty7 (Buchse X7):

Pin	Nr.	E/A	Name	Funktion
2	103	A	TD	Sendedaten
3	104	E	RD	Empfangsdaten
7	102	-	SG	Betriebserde
8	109	E	DCD	Empfangssignalpegel
20	108.2	A	DTR	Endgeraet bereit

Die Kanäle tty6 und tty7 bieten die Möglichkeit der Umstellung auf IFSS-Interface. Zur Aktivierung dieser Interfaceart sind im Anschlussstecker die Kontakte 9 (IFSS) und 7 (SG) miteinander zu verbinden.

Stromschleifensender -empfaenger sind passiv und potential-getrennt ausgeführt, koennen aber auch aktiv betrieben werden. Dazu steht jedem Kanal eine Stromquelle am Anschluss 12 zur Verfügung. Werden an einem Kanal zwei Stromquellen benoetigt (Sender- und Empfaenger aktiv), kann die Stromquelle des Nachbarkanals ueber Anschluss 16 benutzt werden. Dieser Kanal laesst sich dann nur noch passiv betreiben! Schaltungsbeispiele hierzu vgl. Kapitel 2, Abschn. 6.

Neben den in Tabelle 3.7-15 aufgefuehrten V.24-Signalen enthalten die Kanäle tty6 und tty7 folgende IFSS-Signalanschluesse:

Tabelle 3.7-16 IFSS-Interface

Kanal tty6 (Buchse X6)
 Kanal tty7 (Buchse X7):

Pin	Nr.	E/A	Name	Funktion
9	-	E	IFSS	Umschaltung auf IFSS mit 7 (SG) zu verbinden
10	IFSS	E	SD-	Stromeingang Sender
13	IFSS	E	ED-	Stromeingang Empfaenger
14	IFSS	A	ED+	Stromausgang Empfaenger
19	IFSS	A	SD+	Stromausgang Sender
12	IFSS	A	Q+	Stromquellenausgang
16	IFSS	A	Q+	Stromquellenausgang

Tabelle 3.7-18 CTC-Zeitkonstanten und SIO-Vorteiler:

Baud-Rate	!	CTC-Zeitkonst.	!	SIO-Vorteiler
19200	!	1	!	32
9600	!	2 (1)	!	32 (64)
4800	!	4 (2)	!	32 (64)
2400	!	8 (4)	!	32 (64)
1200	!	16 (8)	!	32 (64)
600	!	32 (16)	!	32 (64)
300	!	64 (32)	!	32 (64)
150	!	128 (64)	!	32 (64)
75	!	256 (128)	!	32 (64)

7.4.5. Paralleles Interface

Die Parallelschnittstellen des 16-Bit-Rechners werden mit UA855-Schaltkreisen (PIO0...PIO2) realisiert. Ueber PIO0 und PIO1 erfolgt die Kopplung zum 8-Bit-Rechner, ueber PIO2 der Anschluss des P8000-Winchesterbeistellers.

P8000-Winchester-Anschluss:

Diese Parallel-Schnittstelle ist speziell fuer den Anschluss des im P8000-Winchesterbeisteller befindlichen Hard-Disk-Controllers (WDC) ausgelegt (vgl. Kapitel 6). Tabelle 3.7-19 zeigt die Anschlussbelegung der 25-poligen Sub-D-Buchsenleiste (Typ 203-25-EBS-GO 4006/01-2) fuer den externen bzw. die Anschlussbelegung des Steckverbinders fuer den internen Anschluss des WDC. Je nach Einsatzfall der 16-Bit-Rechnerkarte ist sie mit der externen oder der internen Anschlussmoeglichkeit versehen.

Tabelle 3.7-19 Belegung Winchester-Anschluss (X8, X16):

X8:	X16:	Signal	E/A	Funktion
14	A7	D0	E/A	Datenbit 0
2	B9	D1	E/A	Datenbit 1
5	A3	D2	E/A	Datenbit 2
17	A5	D3	E/A	Datenbit 3
4	A2	D4	E/A	Datenbit 4
16	B4	D5	E/A	Datenbit 5
3	B7	D6	E/A	Datenbit 6
15	B8	D7	E/A	Datenbit 7
1	A1	WDARDY-	A	Control
18	B2	ASTB-	E	Control
21	A9	STATUS0	E	Control
10	B3	STATUS1	E	Control
22	A6	STATUS2	E	Control
25	B6	TE-	A	Control
9	A11	TR-	E	Control
24	-	RST-	A	Reset-
7	A4,A8	GND	-	Masse
20	B13	5P	-	+5 V
12	-	WDARDY	A	nicht benutzt
23	-	-	A	nicht benutzt
11	-	-	A	nicht benutzt
19	-	BRDY	A	nicht benutzt
6	-	BSTB-	E	nicht benutzt
8	-	-	-	frei
13	B5	RST	-	Reset

Kopplung mit 8-Bit-Rechner:

Die 32 Daten- und 8 Handshake-Signale dieser Parallelschnittstelle sind auf zwei 26-polige Steckerleisten (X2, X3) gefuehrt, die von aussen nicht zugaenglich sind. Ueber sie erfolgt auf kurzem Weg die Verbindung zum 8-Bit-Rechner.

Tabelle 3.7-20 Parallelinterface X2, X3:

Pin	Signal	E/A	Funktion

X3:B4	D0/8-16	E	Datenbit 0
X3:A6	D1/8-16	E	Datenbit 1
X3:A7	D2/8-16	E	Datenbit 2
X3:B13	D3/8-16	E	Datenbit 3
X3:B11	D4/8-16	E	Datenbit 4
X3:B10	D5/8-16	E	Datenbit 5
X3:B9	D6/8-16	E	Datenbit 6
X3:B8	D7/8-16	E	Datenbit 7

X2:B2	D0/16-8	A	Datenbit 0
X2:B9	D1/16-8	A	Datenbit 1
X2:B8	D2/16-8	A	Datenbit 2
X2:B7	D3/16-8	A	Datenbit 3
X2:B1	D4/16-8	A	Datenbit 4
X2:A10	D5/16-8	A	Datenbit 5
X2:A8	D6/16-8	A	Datenbit 6
X2:A1	D7/16-8	A	Datenbit 7

X3:A12	V1/8-16	E	Vektor 1
X3:A11	V2/8-16	E	Vektor 2
X3:A10	V3/8-16	E	Vektor 3
X3:A9	V4/8-16	E	Vektor 4
X3:A8	V5/8-16	E	Vektor 5
X3:B7	V6/8-16	E	Vektor 6

X2:A5	V1/16-8	A	Vektor 1
X2:A4	V2/16-8	A	Vektor 2
X2:A3	V3/16-8	A	Vektor 3
X2:A2	V4/16-8	A	Vektor 4

X3:A5	RDY/8-16	E	Eingabedaten vorhanden
X3:A3	E0-8	A	Eingabedaten uebernommen
X2:B5	DD-8	A	Ausgabedaten vorhanden
X2:A9	E0-16	E	Ausgabedaten vorhanden
X2:A11	DD-16	E	Eingabedaten uebernehmen
X2:B3	RDY/16-8	E	Ausgabedaten uebernommen
X2:A6	INT-8	A	Int. zum 8-Bit-Rechner
X3:A13	INT-16	E	Int. vom 8-Bit-Rechner
X3:B1	RESET	E	Freigabe 16-Bit-Rechner
X3:B5	NMIU8000-	E	NMI- auf 16-Bit-Rechner

X2:A2, A13		A	RUN-LED ein / aus
X2:A7	P0-BRDY	A	-
X2:B4	P0-BSTRB-	E	-
X3:B3	P1-BRDY	A	-
X3:A4	P1-BSTRB-	E	-
X3:B2	5P	-	+ 5V
X2:B11, B12, B13		-	Masse

7.5. Speicherverwaltung

7.5.1. Hauptfunktionen

Auf der 16-Bit-Rechnerkarte werden drei MMU-Schaltkreise UB8010 (MMU memory management unit) zur dynamischen Verwaltung eines maximal 16 MByte grossen Arbeitsspeichers eingesetzt. Die Hauptfunktionen der Speicherverwaltung sind:

- Flexible und effiziente Zuweisung von Hauptspeicherressourcen an das Betriebssystem bzw. an Anwendertasks.
- Unterstuetzung unabhaengiger Tasks, die auf gleiche Speicherbereiche zugreifen wollen.
- Verhinderung von unbefugten Speicherzugriffen.
- Feststellung von offensichtlich unkorrekter Benutzung des Speichers durch laufende Tasks.
- Aufteilung des Arbeitsspeichers und Trennung der Anwender- von Systemfunktionen.

Gesteuert werden die drei MMU's von der CPU ueber eine spezielle Logik, die die verschiedenen Softwarebetriebsarten beruecksichtigt:

- Betriebssystemkern:
Die CPU befindet sich im System-Mode und arbeitet grundsatzlich segmentiert.
- Anwenderprogramme:
Es koennen segmentierte oder nichtsegmentierte Anwenderprogramme abgearbeitet werden. Vor dem Start segmentierter Anwenderprozesse muss das SEG USR BIT des System-Configurations-Registers gesetzt werden (vgl. Tabelle 3.7-5).

7.5.2. MMU-Konfiguration und Steuerung

Eine Speicherverwaltung direkt mit MMU's ist nur fuer segmentierte Programme moeglich. Soll sie auch fuer nicht-segmentierte Programme realisiert werden, ist zusaetzliche Hardware zur Steuerung der MMU's erforderlich. Auf der 16-Bit-Karte werden dafuer 8-Bit-Register (Breakregister), Komperatoren und Logikschaltungen eingesetzt. Die drei MMU's sind fuer

- den Code-Bereich (MMU1 oder Code-MMU)
- den Daten-Bereich (MMU2 oder Data-MMU)
- den Stack-Bereich (MMU3 oder Stack-MMU)

eines nichtsegmentierten Programms vorgesehen. Die spezielle Logik sorgt dafür, dass bei einem Befehlslesezyklus die Code-MMU aktiviert wird (Auswertung des CPU-Status 11xx) und bei Daten- bzw. Stack-Zugriff entsprechend die Data- bzw. Stack-MMU aktiviert werden. Die Umschaltung zwischen Data- und Stack-MMU erfolgt dabei durch Vergleich eines vorher im Normal-Breakregister (NBR) abgelegten 8-Bit-Wortes mit dem High-Teil der laufenden Adresse. Ist die laufende Adresse kleiner als die "Breakadresse" wird die Data-MMU angesteuert, ist sie grösser die Stack-MMU.

Die MMU-Steuerlogik muss also drei Zustände erkennen und entsprechend reagieren:

- (1) Betriebssystem segmentiert (CPU arbeitet im System-Mode):
Die drei Bereiche Code, Data und Stack werden von der MMU1 verwaltet. MMU2, MMU3 und das Breakregister werden nicht aktiviert.
- (2) Anwenderprozess nichtsegmentiert (CPU arbeitet im Normal-Mode, Segmentnummer 63):
Das SEG USER Bit ist 0. Die MMU-Konfiguration ist wie oben für nichtsegmentierte Programme beschrieben (Code-, Data-, Stack-MMU), das NBR ist aktiv und steuert die Data- bzw. Stack-MMU.
- (3) Anwenderprogramm segmentiert (CPU arbeitet im Normal-Mode):
Das SEG USER Bit ist 1. MMU2 und MMU3 werden benutzt um 128 mögliche Speicher-Segmente zu adressieren, die jeweils Code- Data- oder Stack-Bereich sein können. MMU2 verwaltet die Segmente 0...63, MMU3 die Segmente 64...127. Die Umschaltung erfolgt hardwaregesteuert in Abhängigkeit der Segmentleitung 6 (SN6 = 0 -> MMU2, SN6 = 1 -> MMU3). Beide MMU's werden also für den Bereich 0...63 programmiert, ihr URS-Flag ist Null!

7.5.3. Segmenttrap- und Suppress-Signale

Die MMU's generieren zwei Signale bei Verletzung der Zugriffsbedingungen. Das Signal SEGT- wird zur CPU gesendet und löst dort einen entsprechenden Trap aus. Das Signal SUP- (Suppress) verhindert bei Segmentverletzung ein Beschreiben des Arbeitsspeichers durch Unterdrücken des Signals BUSDS-.

Zur Auswertung eines Segmenttraps durch die CPU sind zwei externe 8-Bit-Register vorgesehen, in denen die niederwertigen acht Adressbits des laufenden Speicherzyklus (TRPL Trap-Low-Byte-Register) und die niederwertigen acht Adressbits des ersten Befehlswortes (IF1L Instruction-Fetch-First-Word-Register) abgespeichert werden.

8. Die DRAM-Karte Index 1

Der Haupt- oder Arbeitsspeicher des 16-Bit-Rechners befindet sich auf separaten Leiterkarten, den DRAM-Karten. Die ersten DRAM-Karten wurden in Rahmen einer Entwicklungsmusterproduktion (GLE-Produktion, vor 3/87) gefertigt. Sie bildeten die Grundlage der in die Produktion uebergeleiteten DRAM-Karten Index 0 und dann verbessert Index 1.

Die DRAM-Karten Index 0 und Index 1 sind fuer eine Speicherkapazitaet von 256 KByte ausgelegt. Sie unterscheiden sich aus Anwendersicht nicht voneinander und sind auf allen Versionen der 16-Bit-Rechnerkarte einsetzbar.

8.1. Uebersicht

Die DRAM-Karte ist als 4-Lagen-Leiterplatte im Format 140 mm x 150 mm ausgefuehrt. Sie besitzt einen 96-poligen Interface-Stecker, ueber den die Signal- und Stromversorgungsanschluesse zur 16-Bit-Rechnerkarte realisiert werden. Folgende Eigenschaften kennzeichnen den dynamischen Schreib-/Lese-Speicher:

- Kapazitaet 262.144 Byte (256 KByte)
- Einsatz von 64 KBit Speicherschaltkreisen
- Betrieb bei voller CPU-Geschwindigkeit ohne Wait-Zyklen
- Fehlerueberwachung durch ein Paritaetsbit pro Byte
- Fehler-signal bei Fehlererkennung
- Einstellbare Moduladresse von 0...63

Die DRAM-Karte ist keine universelle Speicherkarte, sondern konstruktiv und elektrisch dem 16-Bit-Rechner voll angepasst. Die Karte besitzt keine Refresh-Ueberwachung bzw. keinen Eigenrefresh. Bei Stoerungen im Rechnerbetrieb kann der Speicherinhalt verloren gehen. Eine Fehlerueberwachung wurde in Form eines Paritaetsbits vorgesehen. Dadurch koennen Ein-Bit-Fehler erkannt und gemeldet werden.

Bild 3.8-1 zeigt die Lage des Bussteckers und der Wickelstifte, auf deren Funktion in den folgenden Abschnitten naeher eingegangen wird.

Dem Anschluss der DRAM-Karte an die 16-Bit-Karte dient ein 96-poliger Steckverbinder (Busstecker). Ueber ihn erfolgt die Stromversorgung, die Uebertragung von 24 Adress-, 16 Daten- und 9 Steuersignalen.

Die Adressen werden ohne zusaetzliche Treiber direkt weiterverarbeitet:

A0, A17: Eingangssignale fuer "Speichersteuerung". A17 waehlt eines der beiden Speicherbankpaare aus, auf das entweder wort- oder byteweise zugegriffen wird. Bei Bytezugriff unterscheidet A0 zwischen Low- (A0 = 1) bzw. High-Byte (A0 = 0).

A1-A16: Eingangssignale fuer "Speicheradressmultiplexer". Adressumfang 64 K.

A18-A23: Eingangssignale fuer "Moduladressdekoder". Bildung von max. 64 Moduladressen.

Am "Moduladressdekoder" wird die Anfangsadresse des Speicherbereichs der DRAM-Karte durch Dekodieren der sechs Adressen A18...A23 eingestellt. Die gewuenschte Moduladresse kann mittels Wickelbruecken gewaehlt werden. Mit dem Ausgangssignal MEMSEL des "Moduladressdekoders" wird bei Auftreten der eingestellten Moduladresse die "Speichersteuerung" freigegeben.

Der "Speicheradressmultiplexer" schaltet die anliegende 16-Bit-Speicheradresse A1...A16 in zwei Gruppen zu je 8 Adressen auf die Speichermatrix. Die Multiplexer werden vom Signal MUX- der "Speichersteuerung" umgeschaltet.

Der an die DRAM-Karte gefuehrte bidirektionale 16-Bit-Datenbus wird fuer die Speichermatrix mittels Treiber in ein internes unidirektionales Bussystem umgewandelt. Dadurch sind die Datenein- und -ausgaenge der Speicherschaltkreise nicht miteinander verbunden und es kann zum Datenschreiben der gegenueber dem normalen Schreibzyklus weniger zeitkritische "Read-Modify-Write-Cycle" benutzt werden.

Von den neun Steuersignalen, die ueber den Steckverbinder gefuehrt werden, dienen sechs als Eingangssignale fuer die "Speichersteuerung". Hier werden die fuer die Arbeit der dynamischen Speicherschaltkreise erforderlichen internen Steuersignale in zeitlich richtiger Folge erzeugt. Die Aufgaben der "Speichersteuerung" sind daher neben der RAS/CAS-Signal-Generierung, die Steuerung des Read/Write-Zugriffs, des Byte/Wort-Zugriffs und des RAS-Only-Refresh.

Drei weitere Steuersignale sind der Fehlerueberwachung und -meldung zugeordnet. Beim Datenschreiben wird ueber jedes Byte die Paritaet gebildet und das Ergebnis als Paritaetsbit

mit abgespeichert. Das beim Datenlesen ebenfalls gebildete Paritätsbit wird mit dem vorher gespeicherten verglichen und bei Nichtübereinstimmung ein Fehlersignal ausgelöst (Parity Error, PE-). Gleichzeitig damit leuchtet eine rote LED auf der DRAM-Karte auf. Das Fehlersignal muss von aussen quittiert werden (RESET- oder CLEAR-PARITY-), erst dann wird das Fehler-Flipflop auf der DRAM-Karte zurückgesetzt und die Fehler-LED erlischt. Die Arbeit mit der Speicherkarte kann auch ohne Fehlerquittierung fortgesetzt werden, ihre Steuerung wird nicht blockiert.

8.3. DRAM-Karten-Interface

Das DRAM-Karten-Interface wird konstruktiv durch einen 96-poligen Steckverbinder realisiert, wobei die DRAM-Karte die Messerleiste trägt. Tabelle 3.8-1 enthält die Stiftbelegung, Signalnamen und Belastung der Signalquellen. Soweit nicht anders angegeben handelt es sich um Eingangssignale fuer die DRAM-Karte. Ein nachgestelltes "-" kennzeichnet ein low-aktives Signal. Die Lastfaktoren beziehen sich auf Low-Power-Schottky-Eingaenge, d.h. ein Lastfaktor LF = 1 bedeutet einen Strom von 0,36 mA (Maximalwert bei Low-Eingangssignal).

Tabelle 3.8-1 Steckerbelegung der DRAM-Karte:

Pin	! Signal	! Signal-Funktion	! LF
a3	! R/W-	! Read/Write	! 2
a4	! DS-	! Data Strobe	! 2
a9	! RFSH-	! Refresh	! 2
a10	! AS-	! Adress Strobe	! 1
b24	! CL_PAR-	! Clear Parity	! 1
b32	! PE-	! Parity Error	! OC-Output
c3	! B/W-	! Byte/Word	! 2
c7	! RES-	! Reset	! 1
c9	! MEMRQ-	! Memory Request	! 1
a12	! A23	! Adressbit 23	! 2
a13	! A21	! 21	! 2
a14	! A19	! 19	! 2
a15	! A17	! 17	! 3
a16	! A15	! 15	! 5
a17	! A13	! 13	! 5
a18	! A11	! 11	! 5
a19	! A9	! 9	! 5
a20	! A7	! 7	! 5
a21	! A5	! 5	! 5
a22	! A3	! 3	! 5
a23	! A1	! Adressbit 1	! 5

Pin	! Signal	! Signal-Funktion	! LF
c12	! A22	! Adressbit 22	! 2
c13	! A20	! 20	! 2
c14	! A18	! 18	! 2
c15	! A16	! 16	! 5
c16	! A14	! 14	! 5
c17	! A12	! 12	! 5
c18	! A10	! 10	! 5
c19	! A8	! 8	! 5
c20	! A6	! 6	! 5
c21	! A4	! 4	! 5
c22	! A2	! 2	! 5
c23	! A0	! Adressbit 0	! 2
a25	! AD15	! Datenbit 15	! *
a26	! AD13	! 13	! *
a27	! AD11	! 11	! *
a28	! AD9	! 9	! *
a29	! AD7	! 7	! *
a30	! AD5	! 5	! *
a31	! AD3	! 3	! *
a32	! AD1	! Datenbit 1	! *
c25	! AD14	! Datenbit 14	! *
c26	! AD12	! 12	! *
c27	! AD10	! 10	! *
c28	! AD8	! 8	! *
c29	! AD6	! 6	! *
c30	! AD4	! 4	! *
c31	! AD2	! 2	! *
c32	! AD0	! Datenbit 0	! *
b1-b5	! 5P	! +5 V Stromversorg.	! -
b25-b31	! GND	! Masse	! -

* bidirektional: Input LF = 6, Output 22 mA

Die Stromaufnahme der DRAM-Karte wird wesentlich durch die Speicherschaltkreise bestimmt. Sie benoetigen ca. 55 mA Betriebsstrom, 5 mA Ruhestrom und 40 mA Refresh-Strom. Waehrend der Betriebsstrom nur bei Speicherzugriff auftritt, also maximal 18 DRAM-Schaltkreise betrifft, werden beim Auffrischen alle Schaltkreise gleichzeitig angesprochen. Damit ergibt sich rechnerisch eine maximale Stromaufnahme der DRAM-Karte von 1600 mA (typ. 1400 mA).

8.4. Einstellen der Moduladresse

Die Moduladresse wird durch UND-Verknuepfung der sechs Adressbits A18...A23 im "Moduladressdekoder" gebildet. Sie legt die Anfangsadresse fuer den 256 KByte Speicherbereich fest und kann ueber Wickelbruecken in Stufen zu 256 K eingestellt werden. So koennen die Speicherraume mehrerer DRAM-Karten in einen zusammenhaengenden Adressbereich gelegt werden. Es gelten die in Tabelle 3.8-2 dargestellten Zusammenhaenge.

Tabelle 3.8-2 Moduladresse und Adressbereich:

Modul- adresse	! Adressbits A						! Adressbereich (hex.)			
	! 23	! 22	! 21	! 20	! 19	! 18	! jeweils 256 K			
0	!	0	0	0	0	0	!	00	00	00 ... 03 FF FF
1	!	0	0	0	0	0	!	04	00	00 ... 07 FF FF
2	!	0	0	0	0	1	!	08	00	00 ... 0B FF FF
3	!	0	0	0	0	1	!	0C	00	00 ... 0F FF FF
	!	!	!	!	!	!	!	!	!	!
63	!	1	1	1	1	1	!	FC	00	00 ... FF FF FF

Die Wickelbruecken sind in Form von Umschaltern angeordnet, eine Verbindung muss jeweils geschlossen sein. Die Kodierung erfolgt binaer, wie die Tabelle 3.8-3 zeigt (zur Anordnung der Wickelstifte auf der DRAM-Karte vgl. Bild 3.8-1).

Tabelle 3.8-3 Bildung der Moduladressen:

Mod!	! W i c k e l b r u e c k e n																		
	11	13	12!	9	14	10!	7	15	8!	5	16	6!	3	17	4!	1	18	2	
0	!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o
1	!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o o
2	!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o--o	o!	o	o--o	o	o--o
3	!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o--o	o!	o--o	o!	o--o	o
	!	!	!	!	!	!	!	!	!	!	!	!	!	!	!	!	!	!	!
63	!	o--o	o!	o--o	o!	o--o	o!	o--o	o!	o--o	o!	o--o	o!	o--o	o!	o--o	o!	o--o	o

8.5. Refresh-Rate

Der Refresh-Counter der UB8001-CPU ist so zu programmieren, dass die dynamischen Speicherzellen in der geforderten Zeit aufgefrischt werden. Um die thermische Belastung der Speicherschaltkreise moeglichst gering zu halten, sollte die Zeit zwischen dem Auffrischen so gross wie zulaessig gewaehlt werden (Auffrischstrom 40 mA, Ruhestrom 5 mA!).

Die auf der DRAM-Karte eingesetzten 64 KBit Speicherschaltkreise erfordern zum Auffrischen einen Speicherzyklus bzw. "RAS-Only-Cycle" fuer jede der 128 Zeilenadressen im Zeitintervall von 2 ms. Es muss also mindestens alle 15 us ein Auffrischen erfolgen, d.h., in den Refresh-Counter des U8001 ist eine 15 einzutragen.

9. Die DRAM-Karte Index 3

Der Haupt- oder Arbeitsspeicher des 16-Bit-Rechners befindet sich auf separaten Leiterkarten, den DRAM-Karten. Die Weiterentwicklung der DRAM-Karten erfolgte ueber Index 2 (interner Arbeitsstand) zu Karten Index 3, die je nach Bestueckung eine Speicherkapazitaet von 256 KByte oder 1 MByte besitzen. Ihr Interface zum 16-Bit-Rechner ist gegenueber den DRAM-Karten Index 0 bzw. Index 1 unveraendert. DRAM-Karten Index 3 sind auf allen Versionen der 16-Bit-Rechnerkarte einsetzbar. Sie werden nach ihrer Produktionseinfuehrung die DRAM-Karten Index 1 abloesen.

9.1. Uebersicht

Die DRAM-Karte Index 3 ist als 4-Lagen-Leiterplatte im Format 140 mm x 150 mm ausgefuehrt. Sie besitzt einen 96-poligen Interface-Stecker, ueber den die Signal- und Stromversorgungsanschluesse zur 16-Bit-Rechnerkarte realisiert werden. Im Gegensatz zu den DRAM-Karten Index 0 und 1 ist die Karte Index 3 so gestaltet, dass sie wahlweise mit 256 KBit oder mit 64 KBit Speicherschaltkreisen bestueckt werden kann. Entsprechend ergeben sich folgende Eigenschaften der DRAM-Karte Index 3:

Bei Einsatz von 256 KBit Speicherschaltkreisen:

- Kapazitaet 1.048.576 Byte (1 MByte)
- Betrieb bei voller CPU-Geschwindigkeit ohne Wait-Zyklen
- Fehlerueberwachung durch ein Paritaetsbit pro Byte
- Fehlersignal bei Fehlererkennung
- Einstellbare Moduladresse von 0...15

Bei Einsatz von 64 KBit Speicherschaltkreisen:

- Kapazitaet 262.144 Byte (256 KByte)
- Betrieb bei voller CPU-Geschwindigkeit ohne Wait-Zyklen
- Fehlerueberwachung durch ein Paritaetsbit pro Byte
- Fehlersignal bei Fehlererkennung
- Einstellbare Moduladresse von 0...63

Die DRAM-Karte ist keine universelle Speicherkarte, sondern konstruktiv und elektrisch dem 16-Bit-Rechner voll angepasst. Die Karte besitzt keine Refresh-Ueberwachung bzw. keinen Eigenrefresh. Bei Stoerungen im Rechnerbetrieb kann der Speicherinhalt verloren gehen. Eine Fehlerueberwachung wurde in Form eines Paritaetsbits vorgesehen. Dadurch koennen Ein-Bit-Fehler erkannt und gemeldet werden.

9.2.1. Bestueckungsvariante 1 (1 MByte Karte)

Kernstueck der DRAM-Karte ist die Speichermatrix mit einer Kapazitaet von 1 MByte. 36 hochintegrierte dynamische 256 KBit Speicherschaltkreise bilden vier Speicherbaenke zu jeweils 256 KByte. Jede Speicherbank besteht aus neun Speicherschaltkreisen, wobei in den neunten Schaltkreis ein jedem eingeschriebenen Byte zugeordnetes Paritaetsbit abgelegt wird. Bei Byte-Zugriff wird jeweils eine der vier Speicherbaenke angesprochen, bei Wort-Zugriff arbeiten zwei Baenke parallel. Das Auffrischen der DRAM's erfolgt CPU-gesteuert im RAS-Only-Refresh-Mode.

Dem Anschluss der DRAM-Karte an die 16-Bit-Karte dient ein 96-poliger Steckverbinder (Busstecker). Ueber ihn erfolgt die Stromversorgung, die Uebertragung von 24 Adress-, 16 Daten- und 9 Steuersignalen.

Die Adressen werden ohne zusaetzliche Treiber direkt weiterverarbeitet.

A0, A17: Eingangssignale fuer "Speichersteuerung". A17 waehlt eines der beiden Speicherbankpaare aus, auf das entweder vollstaendig (Wortzugriff), oder byteweise zugegriffen wird. Bei Bytezugriff unterscheidet A0 zwischen Low- (A0 = 1) bzw. High-Byte (A0 = 0).

A1-A16, A18, A19: Eingangssignale fuer "Speicheradressmultiplexer". Adressumfang 256 K.

A20-A23: Eingangssignale fuer "Moduladressdekoder". Bildung von max. 16 Moduladressen.

Am "Moduladressdekoder" wird die Anfangsadresse des Speicherbereichs der RAM-Karte durch Dekodieren der vier Adressen A20...A23 eingestellt. Die gewuenschte Moduladresse kann mittels Wickelbruecken gewaehlt werden. Mit dem Ausgangssignal MEMSEL des "Moduladressdekoders" wird bei Auftreten der eingestellten Moduladresse die "Speichersteuerung" freigegeben.

Der "Speicheradressmultiplexer" schaltet die anliegende 18-Bit-Speicheradresse A1...A16 und A18, A19 in zwei Gruppen zu je 9 Adressen auf die Speichermatrix. Die Multiplexer werden vom Signal MUX- der "Speichersteuerung" umgeschaltet.

9.2.2. Bestueckungsvariante 2 (256 KByte Karte)

Kernstueck der DRAM-Karte ist die Speichermatrix mit einer Kapazitaet von 256 KByte. 36 hochintegrierte dynamische 64 KBit Speicherschaltkreise bilden vier Speicherbaenke zu jeweils 64 KByte. Jede Speicherbank besteht aus neun Speicherschaltkreisen, wobei in den neunten Schaltkreis ein jedem eingeschriebenen Byte zugeordnetes Paritaetsbit abgelegt wird. Bei Byte-Zugriff wird jeweils eine der vier Speicherbaenke angesprochen, bei Wort-Zugriff arbeiten zwei Baenke parallel. Das Auffrischen der DRAM's erfolgt CPU-gesteuert im RAS-Only-Refresh-Mode.

Dem Anschluss der DRAM-Karte an die 16-Bit-Karte dient ein 96-poliger Steckverbinder (Busstecker). Ueber ihn erfolgt die Stromversorgung, die Uebertragung von 24 Adress-, 16 Daten- und 9 Steuersignalen.

Die Adressen werden ohne zusaetzliche Treiber direkt weiterverarbeitet.

A0, A17: Eingangssignale fuer "Speichersteuerung". A17 waehlt eines der beiden Speicherbankpaare aus, auf das entweder vollstaendig (Wortzugriff), oder byteweise zugegriffen wird. Bei Bytezugriff unterscheidet A0 zwischen Low- (A0 = 1) bzw. High-Byte (A0 = 0).

A1-A16: Eingangssignale fuer "Speicheradressmultiplexer". Adressumfang 64 K.

A18-A23: Eingangssignale fuer "Moduladressdekoder". Bildung von max. 64 Moduladressen.

Am "Moduladressdekoder" wird die Anfangsadresse des Speicherbereichs der RAM-Karte durch Dekodieren der sechs Adressen A18...A23 eingestellt. Die gewuenschte Moduladresse kann mittels Wickelbruecken gewaehlt werden. Mit dem Ausgangssignal MEMSEL des "Moduladressdekoders" wird bei Auftreten der eingestellten Moduladresse die "Speichersteuerung" freigegeben.

Der "Speicheradressmultiplexer" schaltet die anliegende 16-Bit-Speicheradresse A1...A16 in zwei Gruppen zu je 8 Adressen auf die Speichermatrix. Die Multiplexer werden vom Signal MUX- der "Speichersteuerung" umgeschaltet.

9.2.3. Zu den weiteren Funktionsgruppen

Der an die RAM-Karte gefuehrte bidirektionale 16-Bit-Datenbus wird fuer die Speichermatrix mittels Treiber in ein internes unidirektionales Bussystem umgewandelt. Dadurch sind die Datenein- und -ausgaenge der Speicherschaltkreise nicht miteinander verbunden und es kann zum Datenschreiben der gegenueber dem normalen Schreibzyklus weniger zeitkritische "Read-Modify-Write-Cycle" benutzt werden.

Von den neun Steuersignalen, die ueber den Steckverbinder gefuehrt werden, dienen sechs als Eingangssignale fuer die "Speichersteuerung". Hier werden die fuer die Arbeit der dynamischen Speicherschaltkreise erforderlichen internen Steuersignale in zeitlich richtiger Folge erzeugt. Die Aufgaben der "Speichersteuerung" sind daher neben der RAS/CAS-Signal-Generierung, die Steuerung des Read/Write-Zugriffs, des Byte/Wort-Zugriffs und des RAS-Only-Refresh.

Drei weitere Steuersignale sind der Fehlerueberwachung und -meldung zugeordnet. Beim Datenschreiben wird ueber jedes Byte die Paritaet gebildet und das Ergebnis als Paritaetsbit mit abgespeichert. Das beim Datenlesen ebenfalls gebildete Paritaetsbit wird mit dem vorher gespeicherten verglichen und bei Nichtuebereinstimmung ein Fehlersignal ausgeloeset (Parity Error, PE-). Gleichzeitig damit leuchtet eine rote LED auf der RAM-Karte auf. Das Fehlersignal muss von aussen quittiert werden (RESET- oder CLEAR-PARITY-), erst dann wird das Fehler-Flipflop auf der RAM-Karte rueckgesetzt und die Fehler-LED erlischt. Die Arbeit mit der Speicherkarte kann auch ohne Fehlerquittierung fortgesetzt werden, ihre Steuerung wird nicht blockiert.

9.3. DRAM-Karten-Interface

Das DRAM-Karten-Interface wird konstruktiv durch einen 96-poligen Steckverbinder realisiert, wobei die DRAM-Karte die Messerleiste traegt. Tabelle 3.9-1 enthaelt die Stiftbelegung, Signalnamen und Belastung der Signalquellen. Soweit nicht anders angegeben handelt es sich um Eingangssignale fuer die DRAM-Karte. Ein nachgestelltes "-" kennzeichnet ein low-aktives Signal. Die Lastfaktoren beziehen sich auf Low-Power-Schottky-Eingaenge, d.h. ein Lastfaktor $LF = 1$ bedeutet einen Strom von 0,36 mA (Maximalwert bei Low-Eingangssignal).

Tabelle 3.9-1 Steckerbelegung der DRAM-Karte Index 3:

Pin	! Signal	! Signal-Funktion	! LF
a3	! R/W-	! Read/Write	! 2
a4	! DS-	! Data Strobe	! 2
a9	! RFSH-	! Refresh	! 2
a10	! AS-	! Adress Strobe	! 1
b24	! CL_PAR-	! Clear Parity	! 1
b32	! PE-	! Parity Error	! OC-Output
c3	! B/W-	! Byte/Word	! 2
c7	! RES-	! Reset	! 1
c9	! MEMRQ-	! Memory Request	! 1

a12	! A23	! Adressbit 23	! 2
a13	! A21	! 21	! 2
a14	! A19	! 19	! 2
a15	! A17	! 17	! 3
a16	! A15	! 15	! 5
a17	! A13	! 13	! 5
a18	! A11	! 11	! 5
a19	! A9	! 9	! 5
a20	! A7	! 7	! 5
a21	! A5	! 5	! 5
a22	! A3	! 3	! 5
a23	! A1	! Adressbit 1	! 5
c12	! A22	! Adressbit 22	! 2
c13	! A20	! 20	! 2
c14	! A18	! 18	! 2
c15	! A16	! 16	! 5
c16	! A14	! 14	! 5
c17	! A12	! 12	! 5
c18	! A10	! 10	! 5
c19	! A8	! 8	! 5
c20	! A6	! 6	! 5
c21	! A4	! 4	! 5
c22	! A2	! 2	! 5
c23	! A0	! Adressbit 0	! 2

a25	! AD15	! Datenbit 15	! *
a26	! AD13	! 13	! *
a27	! AD11	! 11	! *
a28	! AD9	! 9	! *
a29	! AD7	! 7	! *
a30	! AD5	! 5	! *
a31	! AD3	! 3	! *
a32	! AD1	! Datenbit 1	! *
c25	! AD14	! Datenbit 14	! *
c26	! AD12	! 12	! *
c27	! AD10	! 10	! *
c28	! AD8	! 8	! *
c29	! AD6	! 6	! *
c30	! AD4	! 4	! *
c31	! AD2	! 2	! *

c32	! AD0	! Datenbit	0	! *
b1-b5	! 5P	! +5 V Stromversorg.	!	-
b25-b31	! GND	! Masse	!	-

* bidirektional: Input LF = 6, Output 22 mA

Die Stromaufnahme der DRAM-Karte wird wesentlich durch die Speicherschaltkreise bestimmt. Je nach Betriebszustand benoetigen sie unterschiedliche hohe Stroeme. Tabelle 3.9-2 zeigt die Werte der in der DDR produzierten Schaltkreise.

Tabelle 3.9-2 Strombedarf der Speicherschaltkreise (ca. Werte):

Betriebsart	! 64 KBit	! 256 KBit
read/write	! 55 mA	! 40...50 mA
refresh	! 40 mA	! 35...40 mA
standby	! 5 mA	! 5 mA

Mit den Werten der Tabelle 3.9-2 und den uebrigen Schaltkreisen auf der DRAM-Karte ergibt sich fuer beide Varianten rechnerisch eine maximale Stromaufnahme von 1600 mA (typ. 1400 mA).

9.4. Einstellen der Moduladresse

9.4.1. Bestueckungsvariante 1 (1 MByte Karte)

Die Moduladresse wird durch UND-Verknuepfung der vier Adressbits A20...A23 im "Moduladressdekoder" gebildet. Sie legt die Anfangsadresse fuer den 1 MByte Speicherbereich fest und kann ueber Wickelbruecken in Stufen zu 1 M eingestellt werden. So koennen die Speicherraeume mehrerer DRAM-Karten in einen zusammenhaengenden Adressbereich gelegt werden. Es gelten die in Tabelle 3.9-3 dargestellten Zusammenhaenge.

Tabelle 3.9-3 Moduladresse und Adressbereich (1 MByte):

Modul- adresse	! Adressbits A				! Adressbereich (hex.)			
	! 23	! 22	! 21	! 20	! jeweils 1 M			
0	!	0	0	0	!	00	00	00 ... 0F FF FF
1	!	0	0	0	!	10	00	00 ... 1F FF FF
2	!	0	0	1	!	20	00	00 ... 2F FF FF
3	!	0	0	1	!	30	00	00 ... 3F FF FF
	!				!			
15	!	1	1	1	!	F0	00	00 ... FF FF FF

Die Wickelbruecken sind in Form von Umschaltern angeordnet, eine Verbindung muss jeweils geschlossen sein. Die Kodierung erfolgt binaer, wie die Tabelle 3.9-4 zeigt (zur Anordnung der Wickelstifte auf der DRAM-Karte vgl. Bild 3.9-1).

Tabelle 3.9-4 Bildung der Moduladressen (1 MByte):

Mod!	! W i c k e l b r u e c k e n											
	11	13	12!	9	14	10!	7	15	8!	5	16	6
0	!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o	o
1	!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o	o
2	!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o	o
3	!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o	o
	!			!		!		!		!		
15	!	o--o	o!	o--o	o!	o--o	o!	o--o	o!	o--o	o	

Die Wickelstifte 1...4 bleiben frei!
 Die Wickelstifte 17 und 18 liegen auf +5 V!

9.4.2. Bestueckungsvariante 2 (256 KByte Karte)

Die Moduladresse wird durch UND-Verknuepfung der sechs Adressbits A18...A23 im "Moduladressdekoder" gebildet. Sie legt die Anfangsadresse fuer den 256 KByte Speicherbereich fest und kann ueber Wickelbruecken in Stufen zu 256 K eingestellt werden. So koennen die Speicherraeeume mehrerer DRAM-Karten in einen zusammenhaengenden Adressbereich gelegt werden. Es gelten die in Tabelle 3.9-5 dargestellten Zusammenhaenge.

Tabelle 3.9-5 Moduladresse und Adressbereich (256 KByte):

Modul- adresse	! Adressbits A						! Adressbereich (hex.)							
	23	22	21	20	19	18	! jeweils 256 K							
0	!	0	0	0	0	0	!	00	00	00	...	03	FF	FF
1	!	0	0	0	0	0	!	04	00	00	...	07	FF	FF
2	!	0	0	0	0	1	!	08	00	00	...	0B	FF	FF
3	!	0	0	0	0	1	!	0C	00	00	...	0F	FF	FF
	!						!							
63	!	1	1	1	1	1	!	FC	00	00	...	FF	FF	FF

Die Wickelbruecken sind in Form von Umschaltern angeordnet, eine Verbindung muss jeweils geschlossen sein. Die Kodierung erfolgt binaer, wie die Tabelle 3.9-6 zeigt (zur Anordnung der Wickelstifte auf der DRAM-Karte vgl. Bild 3.9-1).

Tabelle 3.9-6 Bildung der Moduladressen (256 KByte):

Mod!	! W i c k e l b r u e c k e n																	
	11	13	12!	9	14	10!	7	15	8!	5	16	6!	3	17	4!	1	18	2
0	!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o	o
1	!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o	o
2	!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o	o
3	!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o!	o	o--o	o
	!																	
63	!	o--o	o!	o--o	o!	o--o	o!	o--o	o!	o--o	o!	o--o	o!	o--o	o!	o--o	o	

9.5. Refresh-Rate

Der Refresh-Counter der UB8001-CPU ist so zu programmieren, dass die dynamischen Speicherzellen in der geforderten Zeit aufgefrischt werden. Um die thermische Belastung der Speicherschaltkreise moeglichst gering zu halten, sollte die Zeit zwischen dem Auffrischen so gross wie zulaessig gewaehlt werden (Verhaeltnis Refresh- zu Standby-Strom).

Tabelle 3.9-7 Refresh-Zyklen der Speicherschaltkreise:

Refresh-Zyklus	! 64 KBit	! 256 KBit
Refresh-Zyklen	! 128 in 2 ms	! 256 in 4 ms
Refresh-Adressen	! A0...A6	! A0...A7

Bei beiden Schaltkreistypen muss also mindestens aller 15 us ein Auffrischen erfolgen, d.h., in den Refresh-Counter des U8001 ist eine 15 einzutragen.

K a p i t e l 4

P8000 - Terminal

30.06.1988

Inhaltsverzeichnis Kapitel 4		Seite
1.	Allgemeine Beschreibung	4-3
1.1.	Aufbau	4-3
1.2.	Stromversorgung	4-4
1.3.	Terminalrechner	4-5
1.4.	Akustisches Signal	4-5
1.5.	Zeichensatz	4-5
1.6.	Hostinterface	4-8
1.7.	Betriebsarten	4-8
2.	Installation und Inbetriebnahme	4-9
2.1.	Herstellen der Arbeitsfaehigkeit	4-9
2.2.	Rechnerinterface	4-10
3.	Bedienung	4-12
3.1.	Tastenfunktionen	4-12
3.1.1.	Alphanumerische- und Sonderzeichen-Tasten	4-12
3.1.2.	Umschalttasten	4-13
3.1.3.	Steuerzeichen-Tasten	4-14
3.1.4.	Terminal-Steuertasten	4-15
3.1.5.	Funktionstasten	4-15
3.2.	Terminalfunktionen	4-16
3.2.1.	Alphanumerische- und Sonderzeichen	4-16
3.2.2.	Steuerzeichen	4-16
3.2.3.	Escape-Sequenzen im ADM31-Mode	4-18
3.2.4.	Escape-Sequenzen im VT100-Mode	4-22
3.3.	Referenzkarte	4-30
4.	Tastaturen	4-33
4.1.	Tastatur robotron PC 1715	4-33
4.2.	Flachtastatur K 801	4-33
5.	Ausfuehrungsvarianten des Terminalrechners	4-36
5.1.	Terminalrechner Typ GLE	4-37
5.2.	Terminalrechner Typ 1	4-39
5.3.	Terminalrechner Typ 2	4-41

1. Allgemeine Beschreibung

Das P8000-Terminal wurde speziell als Ein- und Ausgabegeraet fuer das Programmier- und Entwicklungssystem P8000 entworfen. Es handelt sich um ein alphanumerisches Terminal mit folgenden grundsuetzlichen Eigenschaften:

- 80 Zeichen in 24 Zeilen
- Zwei durch Tastatur umschaltbare Zeichensaetze
 - Zeichensatz 1: 128 ASCII-Zeichen
 - Zeichensatz 2: vorzugsweise Deutsch
- Zwei durch Tastatur umschaltbare Betriebsarten
 - ADM31-Mode
 - VT100-Mode (entsprechend ANSI 3.64)
- Ein- bzw. ausschaltbare Video-Attribute
- V.24 oder IFSS-Schnittstelle zum Rechner (9600 Baud)

Das P8000-Terminal ist damit besonders fuer Arbeiten im Rahmen der Softwareentwicklung geeignet. Es ist nicht grafikfaehig.

1.1. Aufbau

Das P8000-Terminal besteht aus drei separaten Geraeten:

Monitor
Tastatur
Terminalsteuerrechner

Der schwenk- und drehbare Monitor steht auf dem entsprechend gestalteten Terminalsteuerrechner. Mit der abgesetzten, frei beweglichen Tastatur ergibt sich ein ergonomisch guenstiger Bildschirmarbeitsplatz.

Die Terminalstruktur ist schematisch im Bild 4.1-1 dargestellt. An der Vorderseite des Terminalsteuerrechners sind der Netzschalter mit Kontrolleuchte, an der Rueckseite die Stecker- bzw. Buchsenleisten fuer Tastatur, Monitor und Hostcomputer (P8000-Computer) angeordnet. Im Inneren enthaelt der Terminalsteuerrechner den Terminalrechner und die Stromversorgung.

Das Gehaeuse des Terminalsteuerrechners laesst sich fuer Service- oder Wartungsarbeiten leicht oeffnen. Dazu werden die beiden an der Rueckseite befindlichen Schrauben herausgedreht, der Deckel bis zum Anschlag nach hinten geschoben und dann nach oben abgehoben. Jetzt ist die Leiterplatte des Terminalrechners zugaenglich und Arbeiten wie EPROM-Wechsel oder Aenderung von Wickelbruecken koennen ausgefuehrt werden.

** Zu beachten sind die Schutzleiterverbindungen der zu loesenden Teile. Sie sind bei der Montage sorgfaeltig wieder herzustellen!

Bild 4.1-1 Terminalstruktur

1.2. Stromversorgung

Im Terminalsteuerrechner befindet sich ein Netzteil, das den Terminalrechner und die Tastatur versorgt. Mittels Netztransformator und Regelelektronik, die auf der Leiterplatte des Terminalrechners angeordnet ist, werden die Spannungen +5 V, +12 V und -12 V erzeugt.

Die Sicherungen der Stromversorgung (2 x T 0,2 A) sind von der Rueckseite des Terminalsteuerrechners aus zugaenglich.

Der Monitor muss eine eigene Stromversorgung besitzen.

1.3. Terminalrechner

Die Steuerung der Terminalfunktionen erfolgt im Terminalrechner. Die dazu erforderliche Elektronik befindet sich auf einer Leiterkarte. Ihre Struktur wird durch zwei hochintegrierte Schaltkreise bestimmt, dem Einchip-Mikrorechner UB 8840 M und dem CRT-Controller 8275 (KR 580 WG 75).

Der Einchip-Mikrorechner vereinigt in sich einen kompletten Rechner, einschliesslich parallelem und seriellem Interface sowie Zeitsteuermöglichkeiten. Ihm faellt die Aufgabe zu, mit der Tastatur und dem Hostcomputer zu kommunizieren, Escape-Sequenzen zu verarbeiten bzw. zu erzeugen, den CRT-Controller zu initialisieren, darzustellende Zeichen in den Bildwiederholtspeicher einzuschreiben, sowie durch Generierung und Verarbeitung interner Signale den Gesamtablauf im Terminal zu steuern. Die dazu erforderliche Firmware befindet sich in einem 4 KByte EPROM (2732), dessen Fassung unmittelbar neben dem Rechner angeordnet ist.

Die Kontrolle des Programmablaufs im Einchip-Mikrorechner erfolgt durch die zeitliche Ueberwachung eines zyklisch auszugebenen Signals, das zur Vertikalsynchronisation des Monitors dient. Beim Ausbleiben des Synchronsignals erzeugt die Ueberwachungsschaltung ein Resetsignal, der Rechner wird zurueckgesetzt und sein Programm neu gestartet (Watch-Dog-Prinzip).

Der CRT-Controller liest zyklisch je eine Zeichenzeile aus dem Bildwiederholtspeicher und erzeugt ueber die Adressierung des Zeichengenerators und Verknuepfung mit weiteren Signalen die Videosignale VIDEO1, VIDEO2. Ausserdem stellt er zeitrichtig die Horizontal- und Vertikalsynchronsignale bereit, die zum Steuersignal BSYN gemischt werden.

1.4. Akustisches Signal

Ueber ein Piezophon kann ein akustisches Signal erzeugt werden, wenn in besonderen Faellen erhoehrte Aufmerksamkeit des Bedieners erforderlich ist. Das Signal wird durch Empfang des ASCII-Steuerzeichens BEL (07H) ausgeloeset.

1.5. Zeichensatz

Der Standard-Zeichensatz des P8000-Terminals umfasst 128 ASCII-Zeichen (Zeichengenerator P8T-ZG1). Sie sind im Bild 4.1-2 einschliesslich ihres Hex-Wertes dargestellt. Die Zeichen werden auf dem Bildschirm in einer 8x12 Punktmatrix erzeugt. Dadurch ist eine gute Lesbarkeit auch

der Kleinbuchstaben garantiert.

Die im Zeichensatz enthaltenen 32 Steuerzeichen (00H...1FH) sind auf dem Bildschirm nicht sichtbar. Einige lösen interne Steuervorgänge aus. Im Programm-Mode des Terminals (nur ADM31-Mode nach ESC U) erscheinen sie aber so wie im Bild 4.1-2 gezeigt auf dem Monitor, ohne Steuerfunktion zu besitzen. Das Terminal weist daher die Fähigkeit auf, jedes empfangene Zeichen auf dem Bildschirm sichtbar werden zu lassen.

Bei Einsatz des Terminals zur Textverarbeitung ist ein deutscher Zeichensatz erwünscht. Der Terminalrechner ist deshalb mit einer Steckfassung für einen zweiten Zeichengenerator (P8T-ZG2) ausgerüstet, der i. allg. den deutschen Zeichensatz (Umlaute und "sz") enthält. Die Umschaltung zwischen ZG1 und ZG2 erfolgt mit der Taste <SI/SO>, der eine LED zugeordnet ist. Nach dem Einschalten des Terminals ist immer ZG1 aktiv (LED aus).

Bild 4.1-2 Zeichensatz des P8000-Terminals

1.6. Hostinterface

Zur Verbindung des Terminals mit dem P8000-Computer dient eine 25-polige Buchsenleiste (203-25-EBS-GO 4006/01-2) an der Rueckseite des Terminalsteuerrechners. Je nach eingesetztem Verbindungskabel wird ein V.24- oder IFSS-Interface realisiert (vgl. Abschnitt 2).

Die Uebertragungsrate betraegt 9600 Bit/s.

1.7. Betriebsarten

Neben alphanumerischen Zeichen, die auf dem Bildschirm erscheinen, verarbeitet das P8000-Terminal Steuerzeichen und Escape-Sequenzen, die der internen Steuerung dienen. Die Wirkung dieser Sonderzeichen oder Zeichenfolgen ist abhaengig von der Terminal-Betriebsart.

Um den im P8000-System moeglichen unterschiedlichen Betriebssystemen und den darunter laufenden Anwenderprogrammen gerecht zu werden, bildet das P8000-Terminal die Grundfunktionen zweier international gebraeuchlicher Terminals nach. Die zwei Terminal-Betriebsarten werden mit "ADM31-Mode" und "VT100-Mode" bezeichnet. Mit der <MODE>-Taste kann umgeschaltet werden. Nach dem Einschalten befindet sich das Terminal im ADM31-Mode.

Werden Video-Attribute verwendet, wie z.B. "Blinken", "Inverse Darstellung", "Normal Hell", so nehmen diese Attribute den Platz eines Zeichens im Bildwiederholtspeicher ein. Auf dem Bildschirm erscheint an dieser Stelle ein Leerzeichen. Wirkt sich dies stoerend auf den Bildaufbau aus, koennen mit der <VIDEO>-Taste die Video-Attribute aus- bzw. danach wieder eingeschaltet werden.

Das Terminal kann im On-Line- und Off-Line-Mode betrieben werden (Kopplung zum Hostcomputer aktiv bzw. inaktiv). Die Umschaltung zwischen On-/Off-Line-Mode erfolgt mit der Taste <On/Off>. Nach dem Einschalten befindet sich das Terminal im On-Line-Mode.

2. Installation und Inbetriebnahme

In diesem Abschnitt werden Installation und Inbetriebnahme des P8000-Terminals beschrieben. Weitergehende Informationen zur V.24/IFSS-Schnittstelle sowie Monitor- und Tastaturanschluss sind im Abschnitt 5. zu finden.

** Hinweise zur Installation des Gesamtsystems P8000 enthaelt das Kapitel 2 dieses Handbuches. Sie sind fuer einen stoerungsfreien Betrieb der Anlage unbedingt zu beachten!

2.1. Herstellen der Arbeitsfaehigkeit

Nach dem Auspacken der drei Einheiten - Monitor, Tastatur und Terminalsteuerrechner - kann das Terminal installiert werden. Zur Verbindung der Geraete untereinander befinden sich an der Rueckseite des Terminalsteuerrechners die entsprechend gekennzeichneten Buchsen- bzw. Steckerleisten.

Bild 4.2-1 Rueckansicht des Terminalsteuerrrechners

Zuerst werden die Tastatur und der Monitor mit dem Terminalrechner verbunden, dann erfolgt der Netzanschluss. Dazu verfuegt der Terminalsteuerrechner ueber einen Kaltgeraetestecker. Der Monitor, der ein eigenes Netzteil besitzt, wird ueber eine Leitung aus dem Terminalsteuerrechner versorgt. Er wird gemeinsam mit dem Terminalrechner beim Betaetigen des Netzschalters (Frontseite des Terminalsteuerrechners) eingeschaltet. Sollte der Monitor ueber einen Netzschalter verfuegen, so ist dieser einzuschalten und so zu belassen.

Sind die Arbeiten soweit gediehen, kann das Terminal

eingeschaltet werden. Nach Ablauf einer Erwaermungszeit wird in der oberen linken Ecke des Bildschirms die Ausschrift

ADM31/9600 baud/Video Attr. on

sichtbar. Diese Ausschrift kennzeichnet den ADM31-Mode des Terminals. Durch Betaetigung der Taste <MODE> kann das Terminal in den VT100-Mode umgeschaltet werden. Es erscheint dann die Ausschrift

VT100/9600 baud/Video Attr. on.

Weiterhin kann ueber die Taste <VIDEO> die Wirkung der Video-Attribute ein- bzw. abgeschaltet werden. Das wird ueber die Ausschriften

.../Video Attr. on
bzw.
.../Video Attr. off

im jeweiligen Mode kenntlich gemacht. Jede Umschaltung bewirkt eine Neuinitialisierung des Terminals.

Auf der zweiten Zeile unterhalb der Ausschrift muss der Cursor erscheinen. Jetzt koennen durch Druecken der Taste <ON/OFF> der Off-Line-Mode eingeschaltet und die Terminalfunktion ueberprueft werden (vgl. hierzu Abschnitt 3.).

Zeigt sich trotz vorhandener Netzspannung nichts auf dem Bildschirm sind Kontrast- bzw. Helligkeitsregler am Monitor zu ueberpruefen.

Verlaeuft die Kurzpruefung der Terminalfunktion erfolgreich, kann die Verbindung zum Hostcomputer (P8000-Computer) hergestellt und das Terminal auf On-Line-Mode umgeschaltet werden. Das System ist arbeitsfaehig.

2.2. Rechnerinterface

Die Verbindung des Terminals mit dem P8000-Computer kann wahlweise ueber eine V.24- oder IFSS-Schnittstelle erfolgen. Die seriellen Signale werden vollduplex mit 9600 Bit/s uebertragen, das Datenformat ist durch den SIO-Kanal des Einchip-Mikrorechners festgelegt:

Startbit - 8 Datenbits - 2 Stopbits (keine Paritaet).

Beide Interfacearten werden ueber die 25-polige Buchsenleiste (203-25-EBS-GO 4006/01-2) an der Rueckseite des Terminalsteuerrechners realisiert

Standardinterface fuer das Terminal im Auslieferungszustand ist entsprechend dem mitgelieferten Verbindungskabel die V.24-Schnittstelle. Es werden neben der Masse- nur die Sende- und Empfangsleitung sowie ein Bereitschaftssignal (DTR) verwendet. DTR ist bei eingeschaltetem Terminal logisch Null (+12 V).

Die Umschaltung zwischen V.24 - IFSS erfolgt automatisch beim Stecken des IFSS-Kabels. Es besitzt dazu im Stecker eine Bruecke zwischen den Stiften 7 und 9. Aktiv- oder Passivmodus fuer Sende- und Empfaengerschleife koennen auf der Leiterplatte des Terminalrechners durch Wickelbruecken bzw. ab Terminalrechner Typ 2 durch Bruecken im Kabelstecker eingestellt werden (vgl. Abschnitt 5.).

3. Bedienung

Das P8000-Terminal als Bedien- und Anzeigerat fuer das Programmier- und Entwicklungssystem P8000 sendet und empfaengt Informationen, die aus maximal 128 unterschiedlichen Zeichen, den ASCII-Zeichen (00H...7FH), bestehen koennen. Im folgenden Abschnitt wird beschrieben, wie diese Zeichen mit der Tastatur erzeugt (Tastenfunktionen) und wie sie vom Terminal nach Empfang verarbeitet werden (Terminalfunktionen).

Das Anschlagen einer Taste auf der Tastatur bewirkt in der normalen Betriebsart des Terminals (On-Line) keine Reaktion auf dem Bildschirm, sondern loest das Senden eines ASCII-Zeichens oder einer Zeichenfolge ueber die serielle Schnittstelle des Terminals zum Hostcomputer (P8000-Computer) aus. Diese Zeichen bzw. Zeichenfolgen entstehen durch Umrechnung der tatsaechlich von der Tastatur gelieferten Werte im Terminalrechner und auf sie beziehen sich die folgenden Ausfuehrungen. Die Tastenfunktionen werden zunaechst ohne Bezug auf eine reale Tastatur erlaeutert, sie bleiben damit fuer unterschiedliche Tastaturen gueltig. Folgende Grundfunktionen einer Tastatur werden behandelt:

- Alphanumerische- und Sonderzeichen-Tasten
- Umschalttasten
- Steuerzeichen-Tasten
- Terminal-Steuertasten
- Funktionstasten

Im zweiten Teil dieses Abschnittes wird gezeigt, wie die vom Terminal empfangenen Zeichen bzw. Zeichenfolgen verarbeitet werden, d.h. vor allem, was auf dem Bildschirm sichtbar wird. Die Wirkung der Zeichen bzw. Zeichenfolgen ist dabei unabhaengig von ihrem Ursprungsort, d.h. sie koennen entweder von Hostcomputer gesendet (On-Line-Mode) oder mittels Tastatur erzeugt worden sein (Off-Line-Mode).

3.1. Tastenfunktionen

3.1.1. Alphanumerische- und Sonderzeichen-Tasten

Tasten: Gross- und Kleinbuchstaben, Ziffern, Sonderzeichen,

Diese Tasten entsprechen in ihrer Anordnung einer Schreibmaschinentastatur und bieten keine Besonderheiten. Wie ueblich sind sie mit je zwei Zeichen belegt, zur Umschaltung dienen die Shift- und Caps-lock-Taste.

Zur Erleichterung bei Eingabe vieler Zahlen kann ein abgesetzter Zifferntastenblock vorhanden sein. Das Terminal unterscheidet nicht zwischen Zifferntasten im Haupttastenfeld und diesem Zifferntastenblock.

Die Sonderzeichen-Taste sendet das ASCII-Zeichen DEL (7FH).

3.1.2. Umschalttasten

Tasten: <SI/SO>, <Shift>, <Caps lock>, <CTRL>

Diese Tasten bewirken bei alleiniger Betaetigung keine Reaktion. Sie werden deshalb entweder vor (<SI/SO>, <Caps lock>) oder gemeinsam mit anderen Tasten (<Shift>, <CTRL>) gedruickt.

<SI/SO> Umschaltung des Zeichensatzes fuer die Darstellung der sichtbaren Zeichen auf dem Bildschirm (P8T-ZG1 bzw. P8T-ZG2). Der jeweils andere Zeichensatz wird eingeschaltet, wenn zunaechst die Taste <SI/SO> und danach eine beliebige Zeichentaste gedruickt wird. Der gewaehlte Zeichensatz bleibt bis zur Wiederholung dieses Vorganges aktiv ("rastende Funktion"). Eine optische Anzeige der Tastenstellung kann erfolgen.

<Shift> Diese Taste schaltet die Tastatur auf die zweite Beschriftungsebene um. Sie wird gemeinsam mit der entsprechenden Zeichentaste betaetigt. Mit <Shift> wird zwischen Gross- und Kleinbuchstaben, sowie zwischen Ziffern und Sonderzeichen bzw. nur zwischen Sonderzeichen umgeschaltet. <Shift> wirkt nur solange, wie sie gedruickt wird.

<Caps lock> Diese Taste wirkt nur auf die Buchstabentasten. Sie ist "rastend", d.h. ihre Wirkung bleibt bis zur naechsten Betaetigung bestehen. <Shift> wirkt weiterhin wie oben beschrieben auch bei den Buchstabentasten. Der Zustand der <Caps-lock>-Taste kann optisch angezeigt werden:
 <Caps lock> off (LED aus): Kleinbuchstaben
 <Caps lock> on (LED an): Grossbuchstaben

<CTRL> Diese Taste wird gemeinsam mit einer anderen gedruickt und erzeugt so die ASCII-Controlzeichen.

Die ASCII-Controlzeichen sind in Tabelle 4.3-5 zusammengestellt. Die erste Spalte dieser Tabelle gibt die Zeichentaste an, die mit <CTRL> gemeinsam zu druecken ist. Die zweite Spalte enthaelt das ASCII-Kurzzeichen, die dritte

den Hex-Wert und die vierte schliesslich die ASCII-Operation des Steuerzeichens.

Tabelle 4.3-5 ASCII-Controlzeichen:

Control	! ASCII !	HEX	! ASCII-Operation
CTRL @	! NUL	! 00	! no operation
CTRL a/A	! SOH	! 01	! Start of Heading
CTRL b/B	! STX	! 02	! Start of Text
CTRL c/C	! ETX	! 03	! End of Text
CTRL d/D	! EOT	! 04	! End of Transmission
CTRL e/E	! ENQ	! 05	! Inquiry- who are
CTRL f/F	! ACK	! 06	! Acknowledge
CTRL g/G	! BEL	! 07	! Audible Alarm
CTRL h/H	! BS	! 08	! Back Space
CTRL i/I	! HT	! 09	! Horizontal Tab
CTRL j/J	! LF	! 0A	! Line Feed
CTRL k/K	! VT	! 0B	! Vertikale Tab
CTRL l/L	! FF	! 0C	! Forespace
CTRL m/M	! CR	! 0D	! Carriage Return
CTRL n/N	! SO	! 0E	! Shift Out
CTRL o/O	! SI	! 0F	! Shift In
CTRL p/P	! DLE	! 10	! Data Link Escape
CTRL q/Q	! DC1	! 11	! Device Control 1
CTRL r/R	! DC2	! 12	! Device Control 2
CTRL s/S	! DC3	! 13	! Device Control 3
CTRL t/T	! DC4	! 14	! Device Control 4
CTRL u/U	! NAK	! 15	! Not Acknowledged
CTRL v/V	! SYN	! 16	! Synchronous Idle
CTRL w/W	! ETB	! 17	! End of Transm. Block
CTRL x/X	! CAN	! 18	! Cancel
CTRL y/Y	! EM	! 19	! End of Medium
CTRL z/Z	! SUB	! 1A	! Substitute
CTRL [! ESC	! 1B	! Escape Sequence
CTRL \	! FS	! 1C	! File Separator
CTRL]	! GS	! 1D	! Group Separator
CTRL ^	! RS	! 1E	! Cursor Home
CTRL _	! US	! 1F	! New Line

3.1.3. Steuerzeichen-Tasten

Tasten: <BS>, <HT>, <LF>, <VT>, <FF>, <CR>, <HOME>, <ESC>

Diese Tasten erzeugen je nach Terminal-Mode (ADM31 bzw. VT100) Steuerzeichen oder ESC-Sequenzen.

Tabelle 4.3-6 Die Steuerzeichen-Tasten:

Taste	ADM31-Mode		VT100-MODE		
	ASCII	HEX	ASCII	HEX	ESC-Sequenz
<VT>	VT	0B	--	--	ESC [A
<LF>	LF	0A	--	--	ESC [B
<FF>	FF	0C	--	--	ESC [C
<BS>	BS	08	--	--	ESC [D
<HOME>	RS	1E	--	--	ESC [H
<HT>	HT	09	HT	09	---
<NL>	BS	08	BS	08	---
<CR>	CR	0D	CR	0D	---
<ESC>	ESC	1B	ESC	1B	---

3.1.4. Terminal-Steuertasten

Tasten: <MODE>, <VIDEO>, <ON/OFF>

Diese Tasten dienen zur Umschaltung der Terminal-Betriebsarten. Sie werden nur intern ausgewertet, es erfolgt keine Ausgabe an den Hostcomputer.

<MODE> Umschaltung ADM31-/VT100-Mode. Die Betaetigung dieser Taste bewirkt eine Neuinitialisierung des Terminals und die Ausgabe einer Ausschrift auf dem Bildschirm. Nach dem Einschalten der Netzspannung befindet sich das Terminal im ADM31-Mode.

<VIDEO> Aus- bzw. Einschalten der Video-Attribut-Verarbeitung. Die Betaetigung dieser Taste bewirkt eine Neuinitialisierung des Terminals und die Ausgabe einer Ausschrift auf dem Bildschirm analog der <MODE>-Taste. Nach dem Einschalten der Netzspannung sind die Video-Attribute zugelassen.

<ON/OFF> Umschaltung On-Line-/Off-Line-Mode. Nach dem Einschalten der Netzspannung befindet sich das Terminal im On-Line-Mode.

3.1.5. Funktionstasten

Tasten: <BREAK>, <LINE ERASE>, <PAGE ERASE>, <LINE INSERT>, <CHAR INSERT>, <LINE DELETE>, <CHAR DELETE>, <TAB>, <BACKTAB>

Diese Tasten bewirken die Ausgabe eines speziellen Signals (BREAK), bzw. einer durch Escape eingeleiteten Zeichenfolge (Escape-Sequenz, vgl. Tabelle 4.3-7).

<BREAK> Senden eines BREAK-Zeichens zum Hostcomputer. Dabei wird vom Terminal ueber die gesamte Laenge des seriellen Signals (einschliesslich Start- und Stopbits) ein Nullsignal ausgegeben.

Tabelle 4.3-7 Funktionstasten zur Erzeugung von Escape-Sequenzen:

Taste	! Escape-Sequenz
	! ADM31 ! VT100
<LINE ERASE>	! ESC T ! ESC [K
<PAGE ERASE>	! ESC Y ! ESC [J
<LINE INSERT>	! ESC E ! ESC [L
<CHAR INSERT>	! ESC Q ! ESC [@
<LINE DELETE>	! ESC R ! ESC [M
<CHAR DELETE>	! ESC W ! ESC [P
<TAB>	! 09 ! ESC [I
<BACKTAB>	! ESC I ! ESC [Z

3.2. Terminalfunktionen

3.2.1. Alphanumerische- und Sonderzeichen

Alphanumerische- und Sonderzeichen werden ohne Verarbeitung entsprechend dem gueltigen Zeichensatz auf dem Monitor dargestellt. Nach dem Einschalten erscheint links oben - unterhalb der vorn beschriebenen Ausschrift - der Cursor. Er markiert die Bildschirmposition, auf der das naechste sichtbare Zeichen abgebildet wird. Nach Empfang eines solchen Zeichens erscheint es an der Cursorposition, der Cursor selbst rueckt eine Position weiter.

Eine Bildschirmzeile nimmt 80 Zeichen auf, ist sie gefuellt, wird die naechste Zeile begonnen. Ist auch die 24. Zeile beschrieben, werden alle Zeilen um eine Position nach oben gerueckt, unten erscheint eine leere Zeile mit dem Cursor in der Anfangsposition. Die letzte Zeile ist die normale Schreibposition des Cursors, sofern er nicht durch Steuerzeichen in andere Positionen gebracht wird.

3.2.2. Steuerzeichen

Die fuer das Terminal relevanten ASCII-Controlzeichen sind in der Tabelle 4.3-8 zusammengefasst.

Tabelle 4.3-8 Die Steuerzeichen des P8000-Terminals:

ASCII	! ASCII-Operation	! Funktion im Terminal
BEL	! Audible Alarm	! Akustisches Signal
BS	! Back Space	! Cursor eine Pos. nach links
HT	! Horizontal Tab	! Cursor eine Tab.-Pos nach rechts
LF	! Line Feed	! Cursor eine Zeile abwaerts
VT	! Vertikal Tab	! Cursor eine Zeile hoch
FF	! Forespace	! Cursor eine Pos. nach rechts
CR	! Carriage Return	! Cursor an den Zeilenanfang
RS	! Cursor Home	! Cursor an den Bildanfang
ESC	! Escape Sequence	! Einleitung Escape-Sequenz

Zu beachten ist, dass die Wirkung der Steuerzeichen je nach Terminal-Mode (ADM31/VT100) unterschiedlich sein kann. Dazu folgende Erlaeuterungen:

BS: Bewegt den Cursor eine Stelle nach links.

ADM31: Die Funktion kann solange ausgefuehrt werden bis der Cursor den Schirmanfang erreicht hat (Zeile 1, Spalte 1).

VT100: Die Funktion kann solange ausgefuehrt werden, bis der Cursor den Zeilenanfang erreicht hat.

HT: Setzt den Cursor auf die naechste Tabposition nach rechts. Eine Tabposition ist eine durch 8 teilbare Zeilenposition.

ADM31: Die Funktion kann beliebig oft ausgefuehrt werden. Ist das Ende der letzten Zeile erreicht, wird das Bild gerollt.

VT100: Die Funktion kann solange ausgefuehrt werden, bis das Zeilenende erreicht ist.

LF: Bewegt den Cursor um eine Zeile nach unten, ohne seine horizontale Position zu veraendern. In der letzten Zeile fuehrt LF zum Rollen des Schirms.

VT: Bewegt den Cursor um eine Zeile nach oben ohne seine horizontale Position zu veraendern. Bei der ersten Zeile endet die VT-Funktion.

FF: Bewegt den Cursor um eine Stelle nach rechts.

ADM31: Die Funktion kann beliebig oft ausgeführt werden. Ist das Ende der letzten Zeile erreicht, wird das Bild gerollt.

VT100: Die Funktion kann solange ausgeführt werden, bis das Zeilenende erreicht ist.

Mit zwei weiteren Steuerzeichen wird die Dateneübertragung zwischen Hostcomputer und Terminal gesteuert:

CRTL S: Dieses Zeichen (DC3, 13H) wird vom Terminal gesendet, wenn sein Empfangspuffer gefüllt ist. Der Host darf keine weiteren Zeichen senden, sie koennen verloren gehen.

CRTL Q: Dieses Zeichen (DC1, 11H) gibt das Terminal aus, wenn es wieder empfangsbereit ist.

Wird das mittels CTRL S und CTRL Q gesteuerte XON/XOFF-Protokoll von der Hostsoftware nicht realisiert, kann die richtige Arbeitsweise des Terminals gestoert werden!

3.2.3. Escape-Sequenzen im ADM31-Mode

Escape-Sequenzen sind Zeichenfolgen, die mit ESC eingeleitet werden. Innerhalb der Sequenz befindet sich kein Leerzeichen. Obwohl die ADM31-Escape-Sequenzen nicht standardisiert sind, werden sie hier im Stil des ANSI 3.64 beschrieben.

CBT (Cursor Backward Tab)

ADM31

Diese Funktion setzt den Cursor auf die naechste Tabposition nach links. Eine Tabposition ist eine durch 8 teilbare Zeilenposition. Die Funktion endet, wenn der Cursor die HOME-Position erreicht hat (Schirmanfang).

Host Syntax: ESC I

CDE (Character Delete)

ADM31

Diese Funktion loescht das Zeichen unter dem Cursor und verschiebt alle Zeichen der Cursorzeile um eine Zeichenposition nach links. Am Zeilenende entsteht ein Leerzeichen.

Host Syntax: ESC W

CHT (Cursor Horizontal Tab)

ADM31

Setzt den Cursor auf die naechste Tabposition nach rechts. Eine Tabposition ist eine durch 8 teilbare Zeilenposition. Diese Funktion endet, wenn das Bildschirmende erreicht ist.

Host Syntax: ESC i

CIN (Character Insert)

ADM31

Verschiebt alle Zeichen der Cursorzeile ab Cursorposition um eine Position nach rechts bis zum Zeilenende. Das letzte Zeichen der Zeile geht verloren. Unter dem Cursor entsteht ein Leerzeichen.

Host Syntax: ESC Q

HVP (Horizontal and Vertical Position)

ADM31

Setzen des Cursors im Rahmen des Bildschirms mit seinen 24*80 Positionen. Die Cursor-Koordinaten Y und X entsprechen dabei der Zeilen-Nr. 1...24 und der Spalten-Nr. 1...80. In der Escape-Folge muessen die Y- und X-Werte allerdings in ASCII-Zeichen beginnend bei 20H angegeben werden. Damit ergeben sich die Koordinaten der Bildschirmecken folgendermassen:

	Spalte 1		Spalte 80
Zeile 1:	Y=20H, X=20H	. . .	Y=20H, X=6FH
	:		:
	:		:
Zeile 24:	Y=37H, X=20H	. . .	Y=37H, X=6FH

Die Zwischenwerte koennen leicht berechnet oder einer ASCII-Zeichen-Tabelle entnommen werden. Werden zu kleine oder zu grosse Koordinatenwerte uebergeben, wird der Cursor auf die jeweils erste oder letzte moegliche Position gesetzt.

Host Syntax: ESC = Y X

- LDE (Line Delete) ADM31
Loeschen der Cursorzeile. Der Cursor wird auf die Anfangsposition dieser Zeile gesetzt und alle folgenden Zeilen werden um eine Zeile nach oben geschoben. Am Schirmende entsteht eine Leerzeile.
Host Syntax: ESC R
- LER (Line Erase) ADM31
Loescht alle Zeichen der Cursorzeile ab Cursorposition bis zum Zeilenende.
Host Syntax: ESC T
- LIN (Line Insert) ADM31
Verschiebt alle Zeilen ab Cursorzeile um eine Zeile nach unten. Es entsteht ein Leerzeile, an deren Anfangsposition der Cursor steht. Die letzte Zeile auf dem Schirm geht verloren.
Host Syntax: ESC E
- PER (Page Erase) ADM31
Loescht alle Zeichen ab Cursorposition bis Schirmende.
Host Syntax: ESC Y
- PMF (Program Mode Off) ADM31
Schaltet den Programm-Mode aus.
Host Syntax: ESC u oder ESC X
- PMN (Program Mode On) ADM31
Schaltet den Program-Mode ein. In dieser Betriebsart werden alle 128 ASCII-Zeichen, so wie im Bild 4.1-3 gezeigt, auf dem Bildschirm dargestellt.
Host Syntax: ESC U

SDE (Screen Delete)

ADM31

Loescht den gesamten Bildschirm. Der Cursor bleibt in seiner Position unveraendert.

Host Syntax: ESC * oder ESC :

SGR (Select Graphic Rendition)

ADM31

Der CRT-Controller im Terminalrechner ermoeeglicht es, durch Eintragen sogenannter Video-Attribute in den Bildwiederholtspeicher die Zeichenwiedergabe zu modifizieren. Da die Video-Attribute in den Bildwiederholtspeicher eingetragen werden, nehmen sie dort den Platz eines Zeichens ein. An der Stelle eines Video-Attributs erscheint auf dem Bildschirm ein Leerzeichen. Wird der Cursor auf eine solche Position gesetzt, so ist er nicht mehr sichtbar. Mit einem sichtbaren Zeichen kann das Video-Attribut ueberschrieben werden.

Der CRT-Controller hebt die Wirkung eines Video-Attributes automatisch erst am Schirm-Ende auf. Um ein moegliches Flackern des Bildes zu vermeiden, wird durch die Terminal-Software am Ende jeder Zeile ein Video-Attribut-Aufhebungszeichen eingetragen (entsprechend ESC G 0). Dieses Zeichen wird bei jeder Terminal-Funktion, die den Bildaufbau veraendert, wieder gesetzt. Auf der 80-zigsten Position jeder Zeile steht also ein nicht sichtbares Video-Attribut, so dass der Cursor dort verschwinden kann. Jedes Video-Attribut wird durch die o.g. Massnahme am Zeilenende aufgehoben, wirkt also immer nur innerhalb einer Zeile.

Eine gewuenschte Bilddarstellung (invers, blinkend oder blank) wird durch das entsprechende Attribut eingeschaltet und durch ESC G 0 bzw. ein anderes Attribut wieder aufgehoben, spaetestens geschieht dies am Zeilenende. Der Bereich zwischen den Video-Attributen wird Feld genannt.

Host Syntax: ESC G graphic-rendition

graphic-rendition:

Ein Parameter entsprechend Tabelle

Tabelle 4.3-9 SGR Kommando Parameter (ADM31-Mode):

Parameter	Beschreibung
0	! Video-Attribute aus
1	! Feld mit Space fuellen
2	! Zeichen im Feld blinken
3	! wie ESC G 1
4	! Zeichen im Feld invers
5	! Feld mit Space fuellen, invers ein
6	! Zeichen im Feld blinken invers
7	! wie ESC G 5

3.2.4. Escape-Sequenzen im VT100-Mode

Escape-Sequenzen sind Zeichenfolgen, die mit ESC eingeleitet werden. Innerhalb der Sequenz befindet sich kein Leerzeichen. Die Darstellung der Escape-Sequenzen erfolgt entsprechend dem Standard ANSI 3.6.

CBT (Cursor Backward Tab)

VT100

Bewegt den Cursor nach links auf eine Tabposition in der aktuellen Zeile. Eine Tabposition ist eine durch 8 teilbare Zeilenposition.

Host Syntax: ESC [number-of-preceding-tab-stops Z

number-of-preceding-tab-stops:

Eine 1 bewegt den Cursor um eine Tabposition nach links. Ein Wert groesser als 1 bewegt den Cursor auf die n.te Tabposition nach links. Die Funktion endet in der ersten Spalte der aktuellen Zeile. Wird kein Parameter oder eine 0 angegeben, so wird der Cursor um eine Tabposition nach links verschoben.

CHT (Cursor Horizontal Tab)

VT100

Bewegt den Cursor nach rechts auf eine Tabposition in der aktuellen Zeile. Eine Tabposition ist eine durch 8 teilbare Zeilenposition.

Host Syntax: ESC [number-of-following-tab-stops I

number-of-following-tab-stops:

Eine 1 bewegt den Cursor um eine Tabposition nach rechts. Ein Wert groesser als 1 bewegt den Cursor auf die n.te Tabposition nach rechts. Die Funktion endet in der letzten Spalte der aktuellen Zeile.

Wird kein Parameter oder eine 0 angegeben, so wird der Cursor um eine Tabposition nach rechts verschoben.

CUB (Cursor Backward)

VT100

Bewegt den Cursor nach links.

Host Syntax: ESC [number-of-columns D

number-of-columns:

Gibt die Nummer an, um wieviel Stellen der Cursor nach links bewegt wird. Ist die erste Spalte der aktuellen Zeile erreicht, endet die Funktion.

Wird kein Parameter oder eine 0 angegeben, so wird der Cursor um eine Stelle nach links verschoben.

CUD (Cursor Down)

VT100

Bewegt den Cursor nach unten.

Host Syntax: ESC [number-of-lines B

number-of-lines:

Gibt die Nummer an, um wieviel Stellen der Cursor nach unten bewegt wird. Die Funktion endet in der letzten Zeile.

Wird kein Parameter oder eine 0 angegeben, so wird der um eine Zeile nach unten bewegt.

CUF (Cursor Forward)

VT100

Bewegt den Cursor nach rechts.

Host Syntax: ESC [number-of-columns C

number-of-columns:

Gibt die Nummer an, um wieviel Stellen der Cursor nach rechts bewegt wird. Der Cursor wird nicht ueber die letzte Spalte hinaus bewegt.

Wird kein Parameter oder eine 0 angegeben, so wird der Cursor um eine Stelle nach rechts bewegt.

CUP (Cursor Position)

VT100

Bewegt den Cursor zur spezifizierten Spalten- und Zeilennummer.

Host Syntax: ESC [row-number ; column-number H

row-number:

Zeilennummer.

Wird kein Parameter oder eine 0 angegeben, so entspricht das der Zeilennummer 1.

column-number:

Spaltennummer.

Wird kein Parameter oder eine 0 angegeben, so entspricht das der Spaltennummer 1.

CUU (Cursor Up)

VT100

Bewegt den Cursor nach oben.

Host Syntax:ESC [number-of-lines A

number-of-lines:

Gibt die Nummer an, um wieviel Zeilen der Cursor nach oben bewegt wird. Die Funktion endet in der ersten Zeile.

Wird kein Parameter oder eine 0 eingegeben, so wird der Cursor um eine Zeile nach oben bewegt.

DCH (Delete Character)

VT100

Loescht das Zeichen unter dem Cursor und die nachfolgenden Zeichen entsprechend dem angegebenen Parameterwert.

Host Syntax: ESC [number-of-characters P

number-of-characters:

Gibt die Anzahl der Zeichen an, die rechts vom Cursor zu streichen sind. Die Funktion verschiebt alle Zeichen um die Anzahl der zu loeschenden Zeichen nach links. Am Zeilenende entstehen Leerzeichen.

Wird kein Parameter oder eine 0 eingegeben, so wird ein Zeichen gestrichen und alle Zeichen rechts vom Cursor um eine Stelle nach links verschoben.

DL (Delete Line)

VT100

Loescht die Zeile in der aktuellen Cursorposition und die nachfolgenden Zeilen entsprechend dem angegebenen Parameter.

Host Syntax: ESC [number-of-lines M

number-of-lines:

Gibt die Nummer der Zeilen an, die ab der aktuellen Zeile geloescht werden sollen. Alle folgenden Zeilen werden nach oben geschoben und am Schirmende entstehen, entsprechend der geloeschten Zeilen, Leerzeilen. Die Cursorposition bleibt unveraendert.

Wird kein Parameter oder 0 angegeben, so wird die aktuelle Zeile geloescht und alle Zeilen werden um eine Zeile nach oben geschoben. Am Schirmende entsteht eine Leerzeile.

DSR (Device Status Report)

VT100

Loest den "Cursor Positions Report" aus, der die Spalten- und Zeilenadresse der aktuellen Cursor-Position enthaelt.

Host Syntax: ESC [6 n

Cursor Positions Report: ESC [row-number ; column-number R

Row-number: Zeilennummer
column-number: Spaltennummer

ED (Erase in Display)

VT100

Loeschen von Zeichen im Bildschirm entsprechend dem angegebenen Parameter.

Host Syntax: ESC [erase-extent J

erase-extent:

Bei Eingabe einer 0 werden alle Zeichen ab der aktuellen Cursorposition bis zum Bildschirmende geloescht. Bei Eingabe einer 1 werden alle Zeichen ab Beginn des Bildschirms bis zur aktuellen

Cursorposition geloescht. Die Eingabe einer 2 bewirkt das gesamte Loeschen des Bildschirms. Der Cursor behaelt bei jeder Funktion seine Position bei.
Wird kein Parameter angegeben, so entspricht das der Eingabe einer 0.

EL (Erase in Line) VT100

Loeschen von Zeichen in der aktuellen Zeile entsprechend dem angegebenen Parameter.

Host Syntax: ESC [erase-extent K

erase-extent:

Bei Eingabe einer 0 werden alle Zeichen der Cursorzeile ab der Cursorposition bis zum Zeilenende geloescht. Bei Eingabe einer 1 werden alle Zeichen ab Beginn der Zeile bis zur aktuellen Cursorposition geloescht. Die Eingabe einer 2 bewirkt ein gesamtes Loeschen der Zeile. Der Cursor behaelt bei jeder Funktion seine Position bei.
Wird kein Parameter angegeben, so entspricht das der Eingabe einer 0.

HVP (Horizontal and Vertical Position) VT100

Bewegt den Cursor zur spezifizierten Zeilen- und Spaltennummer.

Host Syntax: ESC [row-number ; column-number f

row-number:

Zeilennummer.
Wird kein Parameter oder eine 0 eingegeben, so entspricht das der Zeilennummer 1.

column-number:

Spaltennummer.
Wird kein Parameter oder eine 0 eingegeben, so entspricht das der Spaltennummer 1.

ICH (Insert Character) VT100

Verschiebt alle Zeichen entsprechend dem Parameter nach rechts bis zum Zeilenende.

Host Syntax: ESC [number-of-characters @

number-of-characters:

Der Parameter gibt an, um wieviel Positionen die Zeichen ab der aktuellen Cursorposition verschoben werden. Die Zeichen, die ueber das Spaltenende hinausgeschoben werden, gehen verloren. Anstelle der verschobenen Zeichen entstehen Leerzeichen. Die Cursorposition bleibt unveraendert. Wird kein Parameter oder eine 0 angegeben, so wird ein Zeichen ab der aktuellen Cursorposition verschoben.

IL (Insert Line)

VT100

Fuegt Leerzeilen entsprechend dem angegebenen Parameter nach der Zeile ein, in der der Cursor steht.

Host Syntax: ESC [number-of-lines L

number-of-lines:

Der Parameter gibt an, wieviel Leerzeilen eingefuegt werden. Alle Zeilen, ab der Cursorzeile, werden um die entsprechende Anzahl der einzufuegenden Leerzeilen nach unten verschoben. Die Zeilen, die ueber das Bildschirmende hinaus geschoben werden, gehen verloren. Die Cursorposition bleibt unveraendert. Wird kein Parameter oder eine 0 eingegeben, so wird eine Leerzeile eingefuegt und alle Zeilen ab der Cursorzeile um eine Zeile nach unten verschoben.

IND (Index)

VT100

Bewegt den Cursor eine Zeile nach unten, ohne das die Position des Cursors veraendert wird. Ist der Cursor in der letzten Zeile, so wird eine Leerzeile hinzugefuegt und alle Zeilen werden um eine Zeile nach oben geschoben. Dabei geht die erste Zeile verloren.

Host Syntax: ESC D

NEL (Next Line)

VT100

Nach Ausfuehrung der Funktion befindet sich der Cursor in der ersten Zeichenposition der naechsten Zeile. Die Funktion endet am Bildschirmende.

Host Syntax: ESC E

RI (Reverse Index)

VT100

Der Cursor wird um eine Zeile nach oben bewegt, ohne dass die Position des Cursors veraendert wird. Ist der Cursor am Bildschirmumfang, so wird eine Leerzeile eingefuegt und alle nachfolgenden Zeilen werden um eine Zeile nach unten verschoben. Dabei geht die letzte Zeile verloren.

Host Syntax: ESC M

SGR (Select Graphic Rendition)

VT100

Der CRT-Controller im Terminalrechner ermöglicht es, durch Eintragen sogenannter Video-Attribute in den Bildwiederholungspeicher, die Zeichenwiedergabe zu modifizieren. Sie nehmen dort den Platz eines Zeichens ein. An der Stelle eines Video-Attributes erscheint auf dem Bildschirm ein Leerzeichen. Wird der Cursor auf eine solche Position gesetzt, so ist er nicht mehr sichtbar. Mit einem sichtbaren Zeichen kann das Video-Attribut ueberschrieben werden.

Die Wirkung eines Video-Attributes wird durch den CRT-Controller automatisch erst am Schirmende aufgehoben. Um ein moegliches Flackern des Bildes zu vermeiden, wird per Software am Ende jeder Zeile ein Video-Attribut-Aufhebungszeichen eingetragen (entsprechend ESC [m). Dieses Zeichen wird bei jeder Terminal-Funktion die den Bildaufbau veraendert wieder gesetzt. Jedes Video-Attribut wird durch die oben genannte Massnahme am Zeilenende aufgehoben, wirkt also nur innerhalb einer Zeile.

Eine gewuenschte Bilddarstellung (z.B. invers) wird durch das entsprechende Attribut (ESC [5 m) eingeschaltet und durch ESC [m wieder aufgehoben, spaetestens geschieht das am Zeilenende.

Host Syntax: ESC [graphic-rendition m

graphic-rendition:

Parameter entsprechend Tabelle. Es koennen bis zu drei Video-Attribute gesetzt werden:

ESC [parameter; parameter; parameter m

Wird kein Parameter angegeben, so entspricht dies der Eingabe einer 0.

Tabelle 4.3-10 SGR Kommando Parameter (VT100-Mode):

Parameter	Beschreibung
0	! Video-Attribute (blink, ! bold, underscore, reverse) ! off.
1	! Bold on (high light)
4	! Underscore on
5	! Blink on
7	! Reverse video on

TEKRC (Restore Cursor)

VT100

Wiederherstellen der durch die TEKSC-Funktion (Save Cursor) geretteten Cursorposition.

Host Syntax: ESC 8

TEKSC (Save Cursor)

VT100

Retten der aktuellen Cursorposition

Host Syntax: ESC 7

3.3. Referenzkarte

<MODE> Umschaltung ADM31-/VT100-Mode
 <VIDEO> Umschaltung Video-Attribute on/off
 <ON/OFF> Umschaltung On-Line/Off-Line
 <SI/SO> Umschaltung Zeichensaetze

ADM31-Mode:	escape sequence codes					
	1	2	3	4	5	6

FORMAT CONTROL						
Program mode on	ESC	U				
Program mode off	ESC	u				
	ESC	X				
CURSOR MOVEMENT COMMANDS						
Direct cursor addressing	ESC	=	Y	X		1)
Tab	ESC	i				
Backtab	ESC	I				
CHARACTER ATTRIBUTES						
Reset to standard video	ESC	G	0			
Designated areas are blanked	ESC	G	1			
Designated areas blink	ESC	G	2			
Designated areas are blanked	ESC	G	3			
Designated areas reversed	ESC	G	4			
Designated areas reversed and blank	ESC	G	5			
Designated areas reversed and blinking	ESC	G	6			
Designated areas reversed and blank	ESC	G	7			
ERASING						
Entire screen	ESC	*				
	ESC	:				
Line erase	ESC	T				
Page erase	ESC	Y				
COMPUTER EDITING						
Line insert	ESC	E				
Character insert	ESC	Q				
Line delete	ESC	R				
Character delete	ESC	W				

1) Y and X numbers for direct cursor address are single character codes whose values are the desired number plus 20H. Y and X number start 0.

ADM31-Mode:

	escape sequence codes					
	1	2	3	4	5	6
CONTROL AND ESCAPE SEQUENCE KEY CODES						
<VT>	0B	H				
<LF>	0A	H				
<FF>	09	H				
<BS>	08	H				
<HOME>	1E	H				
<BACKTAB>	ESC		I			
<TAB>	09	H				
<NL>	08	H				
<HT>	09	H				
<CR>	0D	H				
<ESC>	1B	H				
<LINE ERASE>	ESC		T			
<LINE INSERT>	ESC		E			
<CHAR INSERT>	ESC		Q			
<PAGE ERASE>	ESC		Y			
<LINE ERASE>	ESC		R			
<CHAR DELETE>	ESC		W			

VT100-Mode:
(lt. Standard ANSI 3.64)

	escape sequence codes					
	1	2	3	4	5	6
CURSOR MOVEMENT COMMANDS						
Cursor up n lines	ESC	[n	A		
Cursor down n lines	ESC	[n	B		
Cursor right n columns	ESC	[n	C		
Cursor left n columns	ESC	[n	D		
Direct cursor addressing	ESC	[row	;	col	H
	ESC	[row	;	col	f
Home	ESC	[H			
	ESC	[f			
Cursor backward tab	ESC	[n	Z		
Cursor horizontal tab	ESC	[n	I		
Index down, with scroll	ESC	D				
Next line, with scroll	ESC	E				
Index up, with scroll	ESC	M				
Save cursor attributes	ESC	7				
Restore cursor attributes	ESC	8				

VT100-Mode: (lt. Standard ANSI 3.64)	escape	sequence	codes
	1	2	3 4 5 6

CHARACTER ATTRIBUTES			
All attributes off	ESC	[m
Change attributes	ESC	[a m
	ESC	[a ; a m
	(etc.)		
a=0: all attributes off			
a=1: Bold on (high light)			
a=4: Underscore on			
a=5: Blink on			
a=7: Reverse video on			
ERASING			
From cursor to end of line	ESC	[K
	ESC	[0 K
From begin of line to cursor	ESC	[1 K
Entire line containing cursor	ESC	[2 K
From cursor to end of screen	ESC	[J
	ESC	[0 J
From top of screen to cursor	ESC	[1 J
Entire screen	ESC	[2 J
COMPUTER EDITING			
Delete n characters	ESC	[n P
Insert n lines	ESC	[n L
Delete n lines	ESC	[n M
Insert n characters	ESC	[n @
CURSOR POSITION REPORT			
Invoked by	ESC	[6 n
Response is row and col	ESC	[row ; col R
CONTROL AND ESCAPE SEQUENCE KEY CODES			
<VT>	ESC	[A
<LF>	ESC	[B
<FF>	ESC	[C
<BS>	ESC	[D
<HOME>	ESC	[H
<BACKTAB>	ESC	[Z
<TAB>	ESC	[I
<NL>	08H		
<HT>	09H		
<CR>	0DH		
<ESC>	1BH		
<LINE ERASE>	ESC	[K
<LINE INSERT>	ESC	[L
<CHAR INSERT>	ESC	[@
<PAGE ERASE>	ESC	[J
<LINE DELETE>	ESC	[M
<CHAR DELETE>	ESC	[P

4. Tastaturen

Zum P8000-Terminal gibt es keine vom Kunden bestellbare Tastaturmodifikationen bezueglich Tastenbeschriftung, Tastenbelegung, Tastencode oder aehnliches. Die Tastatur bleibt im Herstellungszeitraum konstant, der Typ richtet sich nach den Moeglichkeiten des Herstellers.

Die derzeit produzierten bzw. in Produktion befindlichen Terminals werden mit der Tastatur des PC 1715 ausgeruestet. Sie wird spaeter durch die Flachtastatur K 801 abgeloeset.

4.1. Tastatur robotron PC 1715

Die Tastatur des PC 1715 wird unveraendert eingesetzt. Die notwendigen Anpassungen der Tastenfunktionen erfolgen in der Firmware des Terminalrechners. Bild 4.4-1 zeigt die Ansicht der Tastatur und erlaeutert die Funktion der Steuer- und Funktionstasten (vgl. hierzu Abschnitt 3.1.).

Die Sondertaste <repetierend> wird gemeinsam mit einer beliebigen Zeichentaste gedruickt und laesst dieses Zeichen dann repetierend ausgeben. Die Escape-Taste <ESC> und die Pfeiltasten <VT>, <BS>, <LF>, <FF> sind automatisch repetierend.

4.2. Flachtastatur K 801

Die Flachtastatur K 801 ist fuer das P8000-System entwickelt worden und damit besser auf die Forderungen der Betriebssysteme abgestimmt. Die von der Tastatur erzeugten Tastencodes werden durch die Firmware des Terminalrechners in die jeweils gewuenschten Codes bzw. Zeichenfolgen umgesetzt. Bild 4.4-2 zeigt die Ansicht der Tastatur und erlaeutert die Funktion der Steuer- und Funktionstasten (vgl. hierzu Abschnitt 3.1.).

Taste	Funktion	Taste	Funktion
-	<CR>	-	<MODE>
-	<ESC>	-	<VIDEO>
-	<BACKTAB>	-	<.>
-	<VT>	-	<,>
-	<TAB>	-	<BS>
-	<BS>	-	<->
-	<HOME>	-	<+>
-	<FF>	-	<LINE ERASE>
-	<NL>	-	<LINE INSERT>
-	<LF>	-	<CHAR INSERT>
-	<ON/OFF>	-	<PAGE ERASE>
-	<repetierend>	-	<LINE DELETE>
-	<Umschaltung Zeichensatz>	-	<CHAR DELETE>
-	<HT>	-	<BREAK>
-	<LINE INSERT>		
-			

Bild 4.4-1 Tastatur PC 1715

Bild 4.4-2

Flachtastatur K 801

5. Ausfuehrungsvarianten des Terminalrechners

Die ersten P8000-Terminals wurden im Rahmen einer Entwicklungsmusterproduktion (GLE-Produktion, vor 3/87) gefertigt. Die Terminalrechner vom Typ GLE bildeten die Grundlage des in die Produktion uebergeleiteten Terminalrechners Typ 1, der derzeit noch gefertigt wird. Eine weitere Modifikation ist dann der Typ 2, der speziell fuer den Einsatz der Flachtastatur vorgesehen ist (wahlweise auch fuer PC 1715 Tastatur lieferbar).

Die folgende Zusammenfassung zeigt Unterschiede bzw. Gemeinsamkeiten der Ausfuehrungsvarianten des Terminalrechners auf.

Terminalrechner Typ GLE:

- Programmspeicher wahlweise 2716 oder 2732, ueber Wickelbruecke einstellbar.
- Interface-Betriebsart wahlweise V.24 oder IFSS, ueber Wickelbruecke einstellbar.
Lieferzustand: V.24!
- IFSS-Uebertragungsmodus (aktiv/passiv) ueber Wickelbruecken waehlbar.
Lieferzustand: Sender aktiv, Empfaenger passiv!

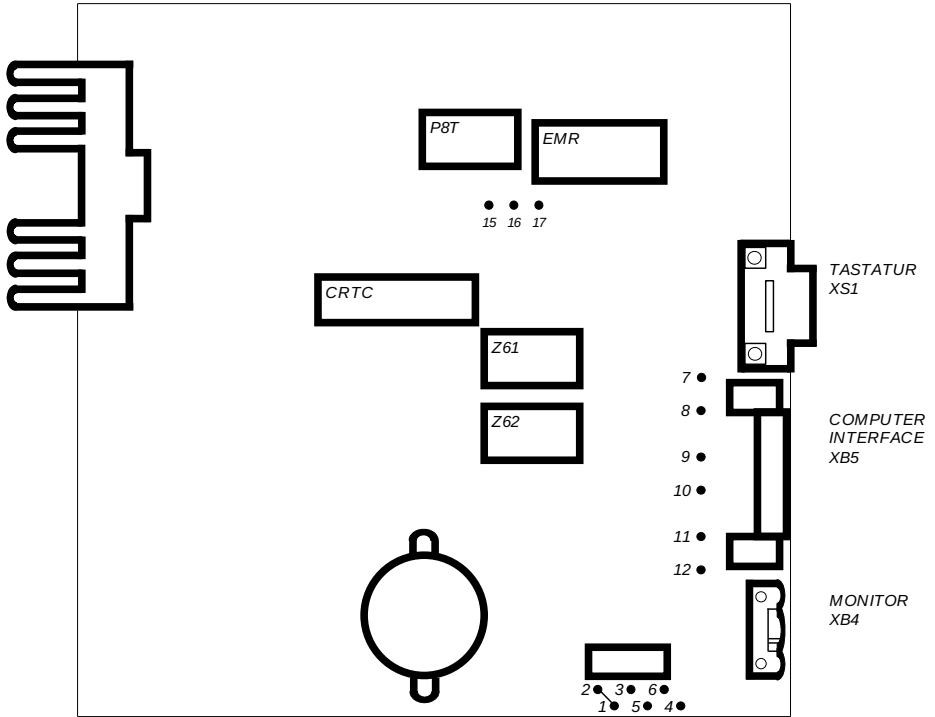
Terminalrechner Typ 1:

- Programmspeicher wahlweise 2716 oder 2732, ueber Wickelbruecke einstellbar.
Lieferzustand: 2732!
- Interface-Betriebsart wahlweise V.24 oder IFSS, automatisch durch Kabelstecker waehlbar.
- IFSS-Uebertragungsmodus (aktiv/passiv) ueber Wickelbruecken waehlbar.
Lieferzustand: Sender aktiv, Empfaenger passiv!

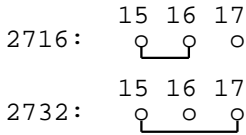
Terminalrechner Typ 2:

- Interface-Betriebsart V.24 oder IFSS, automatisch durch Kabelstecker waehlbar.
- IFSS-Uebertragungsmodus (aktiv/passiv) ueber Bruecken im Stecker waehlbar.
Lieferzustand: Sender passiv, Empfaenger passiv!

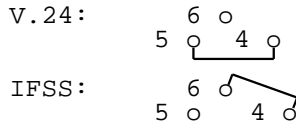
5.1. Terminalrechner Typ GLE



Firmware-EPROM



Interface-Betriebsart



IFSS-Uebertragungsmodus

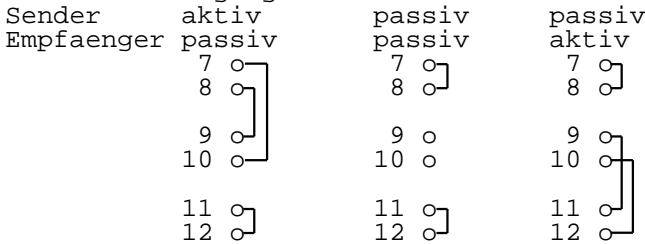


Bild 4.5-1 Wickelbruecken des Terminalrechners Typ GLE

Tabelle 4.5-1 Steckverbinder des Terminalrechners Typ GLE:

Buchsenleiste XB5 "COMPUTER"

PIN	! Leitungs-	! Ein-/	! Kurz-	! Funktion
	! nummer	! Ausg.	! zeichen	!
2	! 103	! A	! TD	! Sendedaten
3	! 104	! E	! RD	! Empfangsdaten
7	! 102	!	! SG	! Betriebserde
20	! 108.2	! A	! DTR	! Endgeraet bereit
10	! IFSS	! A	! SD+	! Stromausgang Sender
19	! IFSS	! E	! SD-	! Stromeingang Sender
14	! IFSS	! E	! ED-	! Stromeingang Empfaenger
13	! IFSS	! A	! ED+	! Stromeingang Empfaenger
12	! IFSS	! A	! Q+	! Stromquelle 20 mA

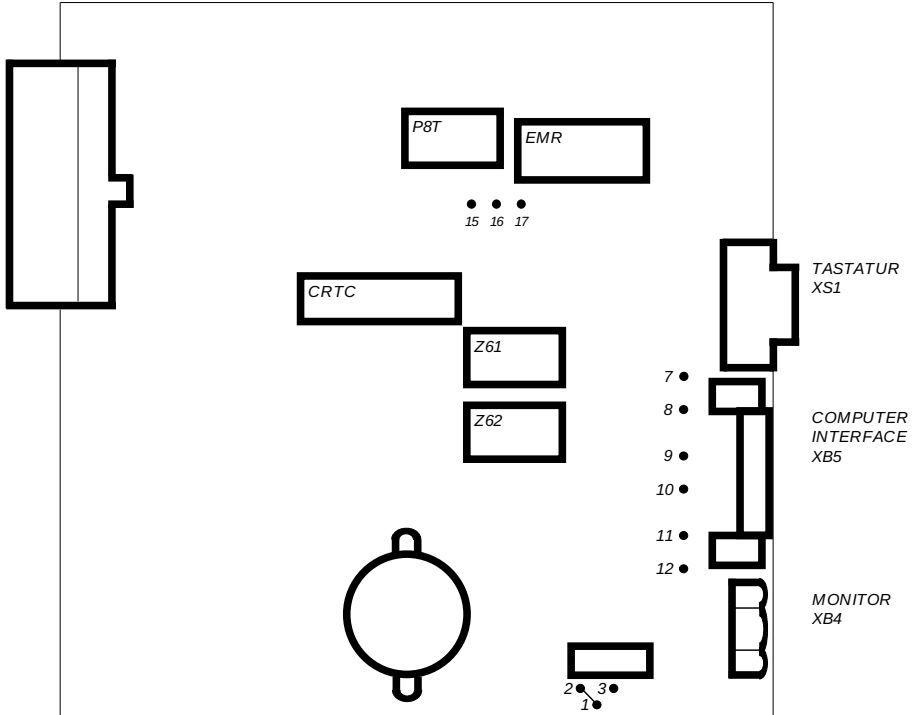
Buchsenleiste XB4 "Monitor"

PIN	! Funktion
AB1	! VIDIO2
AB2	! Masse
AB3	! BSYNC
AB4	! Masse
AB5	! VIDEO1

Steckerleiste XS1 "Tastatur"

PIN	! Funktion
AB1	! Tastaturtakt
AB2	! +5 V Stromversorgung
AB3	! Masse
AB4	! Tastaturdaten
AB5	! nicht belegt

5.2. Terminalrechner Typ 1



Firmware-EPROM
 2716: 15 16 17
 ○ ○ ○
 2732: 15 16 17
 ○ ○ ○

IFSS-Uebertragungsmodus

Sender	aktiv	passiv	passiv
Empfaenger	passiv	passiv	aktiv
	7 ○	7 ○	7 ○
	8 ○	8 ○	8 ○
	9 ○	9 ○	9 ○
	10 ○	10 ○	10 ○
	11 ○	11 ○	11 ○
	12 ○	12 ○	12 ○

Bild 4.5-2 Wickelbruecken des Terminalrechners Typ 1

Tabelle 4.5-2 Steckverbinder des Terminalrechners Typ 1:

Buchsenleiste XB5 "COMPUTER"

PIN	! Leitungs-	! Ein-/	! Kurz-	! Funktion
	! nummer	! Ausg.	! zeichen	
2	! 103	! A	! TD	! Sendedaten
3	! 104	! E	! RD	! Empfangsdaten
7	! 102	! !	! SG	! Betriebserde
20	! 108.2	! A	! DTR	! Endgeraet bereit
19	! IFSS	! A	! SD+	! Stromausgang Sender
10	! IFSS	! E	! SD-	! Stromeingang Sender
13	! IFSS	! E	! ED-	! Stromeingang Empfaenger
14	! IFSS	! A	! ED+	! Stromeingang Empfaenger
12	! IFSS	! A	! Q+	! Stromquelle 20 mA
9	! !	! E	! !	! V.24/IFFS-Umschaltung

Buchsenleiste XB4 "Monitor"

PIN	! Funktion
AB1	! VIDIO2
AB2	! Masse
AB3	! BSYNC
AB4	! Masse
AB5	! VIDEO1

Steckerleiste XS1 "Tastatur"

PIN	! Funktion
AB1	! Tastaturtakt
AB2	! +5 V Stromversorgung
AB3	! Masse
AB4	! Tastaturdaten
AB5	! nicht belegt

5.3. Terminalrechner Typ 2

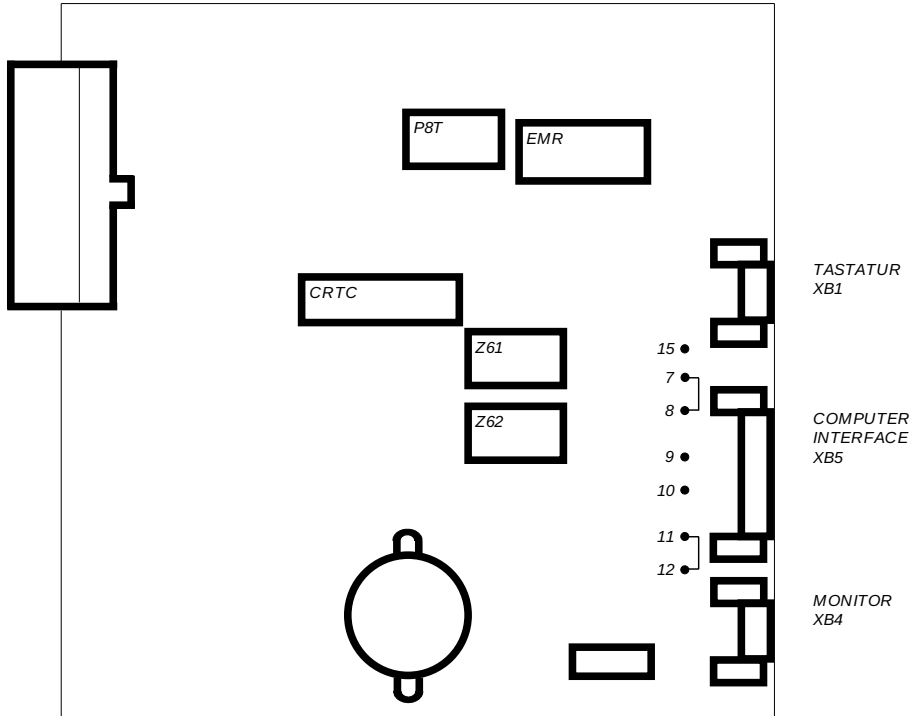


Bild 4.5-3 Terminalrechner Typ 2

Die Wickelbruecken des Terminalrechners Typ 2 sind vom Anwender nicht zu veraendern. Der gewuenschte Uebertragungsmodus kann entsprechend Tabelle 4.5-4 mittels Bruecken im Kabelstecker eingestellt werden (vgl. auch Kapitel 2, Abschnitt 6)!

Tabelle 4.5-3 Steckverbinder des Terminalrechners Typ 2:

Buchsenleiste XB4 "Monitor"

Buchsenleiste XB1 "Tastatur"

PIN	Funktion
2	Masse
6	VIDEO2
7	VIDEO1
9	BSYNC

PIN	Funktion
1	+5 V Stromversorgung
2	Tastaturtakt
4	Tastaturdaten
5	Masse

Tabelle 4.5-3 Steckverbinder des Terminalrechners Typ 2 (Fortsetzung):

Buchsenleiste XB5 "COMPUTER"

PIN	Leitungs- nummer	Ein-/ Ausg.	Kurz- zeichen	Funktion
2	103	A	TD	Sendedaten
3	104	E	RD	Empfangsdaten
7	102		SG	Betriebserde
20	108.2	A	DTR	Endgeraet bereit
19	IFSS	A	SD+	Stromausgang Sender
10	IFSS	E	SD-	Stromeingang Sender
13	IFSS	E	ED-	Stromeingang Empfaenger
14	IFSS	A	ED+	Stromeingang Empfaenger
12	IFSS	A	Q+	Stromquelle 1 20 mA
16	IFSS	A	Q+	Stromquelle 2 20 mA
9		E		V.24/IFFS-Umschaltung
21				+5 V Stromversorgung

Tabelle 4.5-4 Einstellung des Uebertragungsmodus im Kabelstecker:

Steckerleiste	123-25	Bezeichn.	Anschluss	Uebertragungsmodus			
2Q+	16			+++	+++		
SD-	10		-->	+++	+++	-->	
SD+	19		-->	-->	-->	-->	
SG	7			-->	-->		
1Q+	12			+++		+++	
ED-	13		<--	+++	<--	+++	
ED+	14		<--	<--	<--	<--	
SG	7			<--		<--	
IFSS	9		+++	+++	+++	+++	
SG	7		+++	+++	+++	+++	
Sender:				passiv	aktiv	aktiv	passiv
Empfaenger:				passiv	aktiv	passiv	aktiv

K a p i t e l 5
P8000 - EPROM - Progammer

30.06.1988

Inhaltsverzeichnis Kapitel 5		Seite
1.	Konstruktion	5-3
2.	Computerschnittstelle und Signalkabel	5-3
3.	Funktion	5-6
4.	Bedienung	5-11

1. Konstruktion

Der P8000-EPROM-Programmer ist ein gesondertes Gerat zur Programmierung der EPROM-Typen U2708, U2716, U2732, U2732A und U2764. Er wird mittels Kabel an eine Parallelschnittstelle des P8000-Computers (8-Bit-Rechner) angeschlossen.

Der Programmer besteht aus einer Leiterplatte 110 mm x 180 mm, die in einem flachen Plastgehause mit den Abmessungen 115 mm x 185 mm x 35 mm untergebracht ist. Bild 5.1-1 zeigt die Ansicht des EPROM-Programmiers. Das Gehause wird aus 2 Plasthalbschalen gebildet, die durch 4 Schrauben miteinander und mit der Leiterplatte verbunden sind.

Einziges Bedienelement ist eine auf der Oberseite der Leiterplatte befindliche und durch eine entsprechende Oeffnung im Gehause zugangliche 28-polige Schwenkhebelbefassung zur Aufnahme des zu programmierenden bzw. zu lesenden Speicherschaltkreises. Ein darunter angebrachtes Beschriftungsfeld enthalt einen Hinweis zur richtigen Adaptierung der EPROM's.

An der oberen Stirnseite der Programmer-Leiterplatte ist eine 25-polige Sub-D-Buchsenleiste zum Anschluss des Computer-Interface-Kabels angeordnet. Das Gehause besitzt an dieser Stelle einen entsprechenden Durchbruch.

2. Computerschnittstelle und Signalkabel

Der EPROM-Programmer wird ueber eine Parallelschnittstelle mit dem P8000-Computer verbunden. Rechnerseitig ist dies eine ungetriebene PIO-Schnittstelle, programmerseitig sind Treiber und Latches eingesetzt. Als Steckverbinder wird eine 25-polige Sub-D-Buchsenleiste (Typ 203-25-EBS-GO 4006/01-2) verwendet. Tabelle 5.2-1 enthalt die Stiftbelegung, Signalnamen und die Belastung der Signalquellen. Ein nachgestelltes "-" kennzeichnet low-aktive Signale. Die Lastfaktoren sind auf Low-Power-Schottky-Eingaenge bezogen, d.h. ein Lastfaktor $LF = 1$ bedeutet einen Strom von 0,36 mA (Maximalwert bei Low-Eingangssignal).

Bild 5.1-1 Ansicht des EPROM-Programmers

Tabelle 5.2-1 Belegung der Computerschnittstelle:

Pin	Signal	LF	Funktion	Adernzahl des Signalkabels
1	GND	-	Masse	4
2	-	-	frei	-
3	A0	*	Data	1
4	A1	*	Data	1
5	A2	*	Data	1
6	A3	*	Data	1
7	GND	-	Masse	4
8	A4	*	Data	1
9	A5	*	Data	1
10	A6	*	Data	1
11	A7	*	Data	1
12	-	-	frei	-
13	12P	-	+12 V	3
14	5P	-	+ 5 V	2
15	-	-	frei	-
16	B0	2,2	Control	1
17	B1	0,5	Control	1
18	B2	1	Control	1
19	B3	1	Control	1
20	5P	-	+ 5 V	2
21	B4	4,4	Control	1
22	B5	3	Control	1
23	B6	0,5 mA	Out_Err	1
24	B7	1,6	RES_Err	1
25	-	-	frei	-

* bidirektional: Input LF = 0,5, Output 16 mA

Das Signalkabel Computer-Programmer (Nr. 889329) gehoert zum Lieferumfang des P8000. Es ist an beiden Enden mit Steckern ausgeruestet, deren Pinbelegung Tabelle 5.2-1 entnommen werden kann.

Kabeltyp: Fm Plastschlauchleitung
HYF(C)Y 32x1x0,14

Kabellaenge: 0,70 m

Steckverbinder: Computerseite und Programmierseite
Steckerleiste 123-25 EBS-GO 4006/01-2
(Subminiatur-Steckverbinder Form D)

3. Funktion

Bild 5.3-1 veranschaulicht die Struktur des Programmers sowie seine Ankopplung an den P8000-Computer. Ueber einen PIO-Schaltkreis auf der 8-Bit-Rechnerkarte im P8000-Computer werden Daten, Adressen und Steuersignale an den Programmer ausgegeben. Die Daten werden ueber einen bidirektionalen Treiber DS 8286 von Port A des PIO zum EPROM und umgekehrt uebertragen. Die Adressen und ein Teil der Steuersignale von Port A werden in 3 Latches DS 8282 zwischengespeichert und im geeigneten Zeitpunkt durch Steuerbefehle von Port B abgerufen. Die Steuerbefehle zur Uebernahme der Daten und Adressen sowie zur Erzeugung der Programmierimpulse werden von Port B des PIO uebernommen.

Die Portleitungen B0 bis B7 haben im einzelnen folgende Funktionen (ein nachgestelltes "-" kennzeichnet low-aktive Signale):

- B0 OE- aktiviert bidirektionalen Treiber DS 8286 zur Ausgabe der anliegenden Daten.
- B1 Auswahl der Uebertragungsrichtung des DS 8286, T vom PIO zum EPROM; T- vom EPROM zum PIO.
- B2, B3 Steuereingaenge fuer einen 2 Bit-Binaerdecoder zur Anwahl des Latch-Treibers, der die von Port A bereitgestellten Daten uebernehmen soll.
- B4 OE- aktiviert gleichzeitig die Latch-Treiber Nr. 1, 2 und 3 zur Ausgabe ihrer gespeicherten Adressen und Steuerbefehle; ausserdem veranlasst B4 die Zuschaltung der +5 V-Betriebsspannung an den EPROM.
- B5 Erzeugung der Programmierimpulse.
- B6 Rueckmeldung ueber PIO an Rechner, ob Kurzschluss des EPROM vorliegt (High-Signal).
- B7 Ruecksetzen der Kurzschlussueberwachungsschaltung (High-Impuls, Dauer ≥ 50 ms).

Bild 5.3-1 Struktur des EPROM-Programmers

An der EPROM-Fassung liegen bei den einzelnen EPROM-Typen fuer die Betriebsarten "Read" und "Program" folgende Signalkonfigurationen an:

Tabelle 5.3-1 EPROM-Typ 2708:

Pin	!	Modus	
		Read	Program
1	!	-	-
2	!	-	-
3-10	!	A7-A0	A7-A0
11-13	!	D0-D2	D0-D2
14	!	GND	GND
15-19	!	D3-D7	D3-D7
20	!	L	+26 V
21	!	+12 V	+12 V
22	!	L	+12 V
23	!	-5 V	-5 V
24	!	A9	A9
25	!	A8	A8
26	!	+5 V	+5 V
27	!	-	-
28	!	-	-

Tabelle 5.3-2 EPROM-Typ 2716:

Pin	!	Modus	
		Read	Program
1	!	-	-
2	!	-	-
3-10	!	A7-A0	A7-A0
11-13	!	D0-D2	D0-D2
14	!	GND	GND
15-19	!	D3-D7	D3-D7
20	!	L	L -> H
21	!	A10	A10
22	!	L	H
23	!	+5 V	+25 V
24	!	A9	A9
25	!	A8	A8
26	!	+5 V	+5 V
27	!	-	-
28	!	-	-

Tabelle 5.3-3 EPROM-Typ 2732 (2732A):

Pin	!	Modus	
	!	Read	Program
1	!	-	-
2	!	-	-
3-10	!	A7-A0	A7-A0
11-13	!	D0-D2	D0-D2
14	!	GND	GND
15-19	!	D3-D7	D3-D7
20	!	L	H -> L
21	!	A10	A10
22	!	L	+25 V (+21 V)
23	!	A11	A11
24	!	A9	A9
25	!	A8	A8
26	!	+5 V	+5 V
27	!	-	-
28	!	-	-

Tabelle 5.3-4 EPROM-Typ 2764:

Pin	!	Modus	
	!	Read	Program
1	!	+5 V	+21 V
2	!	A12	A12
3-10	!	A7-A0	A7-A0
11-13	!	D0-D2	D0-D2
14	!	GND	GND
15-19	!	D3-D7	D3-D7
20	!	L	L
21	!	A10	A10
22	!	L	H
23	!	A11	A11
24	!	A9	A9
25	!	A8	A8
26	!	-	-
27	!	H	H -> L
28	!	+5 V	+5 V

Bestandteil der Steuerlogik ist weiterhin eine Schaltung zur Ueberwachung der Stromaufnahme des Speicherschaltkreises. Die bei einem defekten EPROM auftretende erhoehte Stromaufnahme fuehrt zur Erzeugung eines Fehlersignals, das vom Rechner zyklisch abgefragt wird und eine Abschaltung des betreffenden EPROM's per Bediensoftware veranlasst. Damit wird verhindert, dass die Stromversorgung des P8000-

Computers, an die der Programmer angeschlossen ist, durch einen defekten EPROM laengere Zeit ueberlastet wird. Der Ansprechwert fuer die Ueberlastsignalisation betraegt 200...300 mA. Fuer Fehlersuche und Reparatur ist auf der Leiterplatte eine rote LED vorhanden, die den Ueberlastzustand anzeigt.

Programmier- und Hilfsspannungen:

Der Programmer ist ueber das Signalkabel mit der Stromversorgung des P8000-Computers verbunden. Folgende Spannungen und Stroeme werden benoetigt:

Tabelle 5.3-5 Stromversorgung des Programmers:

Spannung	! Stromaufnahme
+5 V +-5%	! 350 mA
+12 V +-5%	! 200 mA.

Die weiteren zur Speisung und Programmierung erforderlichen Spannungen werden auf der Programmerleiterplatte erzeugt:

- 5 V +-0,25 V negative Betriebsspannung des EPROM 2708
- +21 V +-0,5 V 50 mA, zur Programmierung der EPROM-Typen 2732A und 2764
- +25 V +-1 V 50 mA, zur Programmierung der EPROM-Typen 2716, 2732
- +26 V +-1 V 50 mA, zur Programmierung des EPROM 2708

Zur Erzeugung der Programmierspannungen wird ein Spannungsgenerator verwendet, der ca. +30 V bereitstellt. Daraus wird mittels eines steuerbaren Festspannungsreglers die fuer den zu programmierenden EPROM-Typ jeweils erforderliche Spannung abgeleitet. Zwei auf der Leiterplatte angeordnete LED's zeigen das Vorhandensein der Programmierspannung (gruene LED) und der -5 V Spannung (gelben LED) an.

4. Bedienung

Der P8000-EPROM-Programmer ist im ausgeschalteten Zustand ueber das Programmmerkabel Nr. 889329 an die Schnittstelle "Programmer" des P8000-Computers anzuschliessen.

Das Adaptieren des EPROM durch die Schwenkhebelfassung muss dem nebenstehenden Hinweis entsprechend erfolgen, d.h., die EPROM-Typen 2708, 2716, 2732 und 2732A werden so adaptiert, dass sie PIN3 bis PIN26 der Schwenkhebelfassung belegen. Nur der EPROM-Typ 2764 belegt PIN1 bis PIN28 der Schwenkhebelfassung.

Die weitere Bedienung erfolgt per Bedienersoftware (UPROG im Betriebssystem UDOS sowie pburn(1) im Betriebssystem WEGA). Hard- und softwareseitig ist eine automatische Erkennung des adaptierten EPROM-Typs nicht vorgesehen. Aus diesem Grunde ist strikt darauf zu achten, dass bei der Eingabe der Kommandos der richtige EPROM-Typ angegeben wird.

** Falsche Eingaben bezueglich des EPROM-Typs koennen zur Zerstoeerung des EPROM fuehren!

K a p i t e l 6

P8000 - Winchesterbeisteller

30.06.1988

Inhaltsverzeichnis Kapitel 6		Seite
1.	Konstruktion	6-3
2.	Stromversorgung	6-5
3.	Winchester-Laufwerk	6-7
4.	Winchester-Disk-Controller Hardware	6-10
4.1.	Funktionsbeschreibung	6-10
4.2.	Die Entwicklungsstaende der WDC-Leiterkarte	6-14
4.2.1.	WDC Index 0	6-14
4.2.2.	WDC Index 1	6-14
4.2.3.	WDC Index 3	6-14
5.	Winchester-Disk-Controller Firmware	6-15

1. Konstruktion

Der P8000-Winchesterbeisteller ist ein Kompaktgeraet, dessen Abmessungen und Konstruktion dem P8000-Computer entsprechen (vgl. Kapitel 3, Abschn. 1). Bild 6.1-1 zeigt die Front- und Rueckansicht des Geraetes.

An der Frontseite befinden sich der Netzschalter und drei Leuchtdioden zur Anzeige der Spannungen +12 V, +5 V, -12 V. Ausserdem ist die Bereitschaftsanzeige des Winchesterlaufwerkes sichtbar. Auf der Rueckseite sind der Netzgeraetestecker, zwei Feinsicherungen sowie der Steckverbinder fuer den Anschluss des P8000-Computers angeordnet. Ausser dem Netzschalter besitzt der Winchester-Beisteller keine weiteren Bedienelemente.

Bild 6.1-1 Front- und Rueckansicht des Winchester-
beistellers

Im Innern des Geraetes befinden sich folgende Baugruppen:

- Kompaktnetzteil
- Winchesterlaufwerk 5 1/4 Zoll
- Winchestercontroller-Leiterplatte
- Anzeigeeinheit

Zur Durchfuehrung von Service- oder Wartungsarbeiten (z.B. EPROM-Wechsel) ist der P8000-Winchester-Beisteller zu oeffnen und die entsprechende Baugruppe auszubauen. Da die Konstruktion des Beistellers der des Computers entspricht, ist analog Kapitel 3, Abschnitt 1 vorzugehen.

** Vor Eingriff in das Geraet ist der Netzstecker zu ziehen!

** Zu beachten sind die Schutzleiterverbindungen der zu loesenden Teile. Sie sind bei der Montage wieder sorgfaeltig herzustellen!

2. Stromversorgung

Die Stromversorgung fuer den P8000-Winchesterbeisteller ist ein geraetegebundenes Schaltnetzteil mit den Ausgangsdaten

- +5 V, 10 A
- +12 V, 4 A
- -12 V, 0,1 A.

Konstruktiv ist das Schaltnetzteil in einem Stahlblechgehaeuse von 330 mm x 130 mm x 115 mm untergebracht. Seine senkrechte Montage sowie der an der Unterseite befestigte Ventilator sorgen fuer eine gute Belueftung des gesamten Geraetes.

Der Netzanschluss (220 V WS) erfolgt ueber einen Kaltgeraetestecker nach TGL 10267 mit Schutzleiteranschluss. Die Verbraucher werden einzeln ueber kurze mehradrige Kabel gespeist, die im Stromversorgungsteil fest angeklemt sind und in Steckverbindern enden. Die Beschaltung der Kabel zeigen die Tabellen 6.2-1 und 6.2-2.

Tabelle 6.2-1 Niederspannungsausgaenge der Stromversorgung fuer den Winchester-Controller:

Spannung / Stromaufnahme	! Farbe	! Pin-Nr.	! Steckverbinder
+5 V / 3,0 A	! rot	! AB5, A4	! Buchsenleiste
+12 V / - (1)	! gelb	! A3	! 222-10
-12 V / - (1)	! schwarz	! B3	! TGL 29 331/04
Masse	! blau	! AB1,AB2	!

(1) Diese Spannungen werden auf dem WDC selbst nicht verwendet, sondern gelangen nur zum Anzeigestecker.

Tabelle 6.2-2 Niederspannungsausgaenge der Stromversorgung fuer das Winchester-Laufwerk:

Spannung / Stromaufnahme	! Farbe	! Pin-Nr.	! Steckverbinder
+5 V / 1,0 A	! rot	! 4	! AMP P/N1-48424-0
+12 V / 0,6 A (1)	! gelb	! 1	! mit
Masse	! blau	! 2,3	! Steckhuelse 61 473-1

(1) In der Anlaufphase werden die +12 V mit 2,0 A belastet.

Das Schaltnetzteil arbeitet nach dem Prinzip des

Durchflusswandlers. Auf einer Leiterplatte sind zwei Leistungsteile untergebracht. Das eine stellt die Spannungen 5 V, -12 V und das andere die Spannung +12 V bereit. Gesteuert werden die Leistungsteile von zwei identischen Steuerteilen, die sich auf separaten Leiterkarten befinden.

Die -12 V Spannung wird auf der Sekundaerseite des 5 V Durchflusswandlers gewonnen. Zur Funktion dieser Schaltung muss die +5 V Spannung mit mindestens 300 mA belastet werden.

Die Stromversorgung +5 V und +12 V ist mit Einrichtungen zur Strombegrenzung und zum Schutz gegen Ueberspannung ausgeruestet. Der Ausgang -12 V ist gegen Ueberstrom geschuetzt.

3. Winchester-Laufwerk

Im P8000-Winchester-Beisteller werden wartungsfreie Winchester-Laufwerke eingesetzt. Solche Laufwerke enthalten feste Magnetplatten zur Speicherung der Daten. Der Datenzugriff bzw. -austausch wird ueber Schreib-/Lesekoepfe realisiert, deren radiale Positionierung durch einen Schrittmotor erfolgt.

Die Koepfe schweben bei eingeschaltetem Laufwerk dicht ueber den mit hoher Drehzahl rotierenden Platten. Deshalb kann durch einen "Platten-Crash" (Aufsetzen eines Kopfes auf die Platte) die Magnetschicht zerstoert werden und als Folge ein unwiderruflicher Datenverlust auftreten.

** Starke mechanische Erschuetterungen des Winchester-Beistellers sind zu vermeiden!

Der geringe Kopf-Platten-Abstand erfordert eine hohe Luftreinheit und die Einhaltung bestimmter Klimaforderungen. Die Magnetplatten einschliesslich der Schreib-/Lesekoepfe sind deshalb fest gekapselt und die Klimaforderungen fuer den Betrieb der Laufwerke sind so vorgegeben, dass keine Taupunktunterschreitung stattfinden kann.

Die Schreib-/Lesekoepfe sind miteinander verbunden und werden durch den Schrittmotor immer gemeinsam bewegt. Die einzelnen Positionen, die durch den Schrittmotor vorgegeben sind, werden als Zylinder bezeichnet. Die Zylinder werden mit Null beginnend von aussen nach innen gezaehlt. Die Koepfe werden ebenfalls mit Null beginnend nummeriert. Da fuer die Uebertragung von Daten ueber die Schreib-/Lesekoepfe jeweils nur ein Kopf aktiviert werden kann, wird eine Informationsspur auf einer Magnetplatte durch Zylinder- und Kopfnummer eindeutig adressiert. Um die Informationen auf einer Spur besser handhaben zu koennen, wird i.a. jede Spur in Sektoren unterteilt.

Durch die Laufwerkspruefung beim Hersteller werden u.U. einzelne Punkte auf den Magnetplatten ermittelt, von denen geschriebenen Daten nicht sicher zurueckgelesen werden koennen. Die Zylinder- und Kopfnummer solcher defekten Spuren sind aussen auf den Laufwerken in Tabellen vermerkt.

** Die Defektspurtabellen sind beim Formatieren der Platte zu beruecksichtigen.

Wenn das Laufwerk abgeschaltet wird, endet auch der Schwebezustand der Koepfe. Bestimmte Laufwerkstypen suchen dann selbstaendig spezielle "Parkspuren" auf. Bei anderen muss dies durch Kommandos an den Winchester-Controller bewerkstelligt werden, die vor dem Abschalten erteilt

werden. Fuer den Transport sollten die Schreib-/Lesekoepfe auf eine spezielle "Transportspur" gefahren werden (vgl. WEGA-Systemhandbuch "sa.shipdisk").

Das Laufwerk ist mit der Schnittstelle ST506 ausgeruestet. Die Signaluebertragung zwischen Laufwerk und WDC erfolgt ueber zwei direkte Steckverbinder mit den Bezeichnungen XS (20-polig) und XR (34-polig). In den nachfolgenden Tabellen ist die Pin-Belegung der Steckverbinder enthalten.

Tabelle 6.3-1 Belegung des Steckverbinders XR:

PIN	Ein-/ Ausg.	Signal	PIN	Signal
2	E	reserviert	1	GND
4	E	reserviert	3	GND
6	E	WRITE GATE	5	GND
8	A	SEEK COMPLETE	7	GND
10	A	TRACK 0	9	GND
12	A	FAULT WRITE	11	GND
14	E	HEAD SELECT 0	13	GND
16	E	zu XS Pin 7	15	GND
18	E	HEAD SELECT 1	17	GND
20	A	INDEX	19	GND
22	A	READY	21	GND
24	E	STEP	23	GND
26	E	DRIVE SELECT 1	25	GND
28	E	DRIVE SELECT 2	27	GND
30	E	DRIVE SELECT 3	29	GND
32	E	DRIVE SELECT 4	31	GND
34	E	DIRECTION IN	33	GND

Tabelle 6.3-2 Belegung des Steckverbinders XS:

PIN	Ein-/ Ausg.	Signal	PIN	Signal
1	A	DRIVE SELECTED	2	GND
3	-	reserviert	4	GND
5	-	reserviert	6	GND
7	-	zu XR Pin 16	8	GND
9	-	reserviert	10	reserviert
11	-	GND	12	GND
13	E	+MFM WRITE DATA	!	!
14	E	-MFM WRITE DATA	!	!
15	-	GND	16	GND
17	A	+MFM READ DATA	!	!
18	A	-MFM READ DATA	!	!
19	-	GND	20	GND

Im folgenden werden die wichtigsten technischen Parameter der Laufwerkstypen genannt, die bisher zur Auslieferung gelangten.

Tabelle 6.3-3 Laufwerk NEC D5126

Zylinder	:	615	(0...614)
Koepfe	:	4	(0...3)
Praekompensation	:	ab Zylinder 128	
Startzeit	:	max. 15 Sekunden	
min. Stepzeit	:	18 ms	
max. Kapazitaet	:	22140 KByte (formatiert, 18 * 512)	

Tabelle 6.3-4 Laufwerk NEC D5146

Zylinder	:	615	(0...614)
Koepfe	:	8	(0...7)
Praekompensation	:	ab Zylinder 128	
Startzeit	:	max. 15 Sekunden	
min. Stepzeit	:	18 ms	
max. Kapazitaet	:	44280 KByte (formatiert, 18 * 512)	

Tabelle 6.3-5 Laufwerk ROBOTRON Vs1/Vs2/Vs3

Zylinder	:	820	(0...819)
Koepfe	:	6	(0...5)
Praekompensation	:	keine	
Startzeit	:	max. 23 Sekunden	
min. Stepzeit	:	8 ms	
max. Kapazitaet	:	44280 KByte (formatiert, 18 * 512)	

Tabelle 6.3-6 Laufwerk ROBOTRON K5504.50

Zylinder	:	1024	(0...1023)
Koepfe	:	5	(0...4)
Praekompensation	:	keine	
Startzeit	:	max. 15 Sekunden	
min. Stepzeit	:	5 ms	
max. Kapazitaet	:	46080 KByte (formatiert, 18 * 512)	

4. Winchester-Disk-Controller Hardware

Der Winchester-Disk-Controller (WDC) dient zum Anschluss von Winchester-Laufwerken an den 16-Bit-Rechner des P8000 (Hostrechner). Zur Kommunikation mit dem Hostrechner besitzt der WDC eine Hostschnittstelle. Der Anschluss der Winchester-Laufwerke erfolgt ueber die Diskschnittstelle des WDC. Der Aufbau der Diskschnittstelle entspricht dem Industriestandard ST506/412 und ermoeoglicht den Anschluss von maximal drei Winchester-Laufwerken.

Konstruktiv ist die WDC-Leiterkarte als 6-Lagen-Leiterkarte im Format 380 mm x 250 mm ausgefuehrt.

4.1. Funktionsbeschreibung

Der WDC gliedert sich in vier Funktionsbloেকে:

- RAM und Steuerlogik
- Host-Schnittstellensteuerung und Hostinterface
- Disk-Schnittstellensteuerung und Diskinterface
- zentrale Steuerung (CPU, CTC, EPROM, I/O-Ports)

Der WDC ist ein intelligenter Controller. Die Intelligenz wird durch die Schaltkreise UA 880 (CPU) und UA 857 (CTC), den Speicher sowie die zugehoerige Firmware gebildet.

Als Programmspeicher fuer die Firmware stehen 8 KByte EPROM (2x U2732) zur Verfuegung. Der 6 KByte umfassende statische RAM wird durch 12 Schaltkreise U214 D20 gebildet. Seine Aufgabe besteht in der Zwischenspeicherung der Daten auf dem Wege vom Hostrechner zum externen Speichermedium und umgekehrt. Um den RAM und seine Steuerlogik sind die Host-Schnittstellensteuerung, die Disk-Schnittstellensteuerung und die zentrale Steuerung gruppiert (vgl. Bild 6.4-1).

Die Host-Schnittstellensteuerung stellt die Verbindung des WDC zum Hostrechner ueber das Hostinterface her. Es handelt sich um ein acht Bit breites Parallelinterface in Verbindung mit zusaetzlichen Steuerbits. Die Host-Schnittstellensteuerung realisiert die blockweise Datenuebertragung vom Host zum RAM und umgekehrt. Dieser fuer die Hardware einheitliche Vorgang ist sowohl fuer den reinen Datenverkehr, als auch zur Uebermittlung von Kommando- und Quittungsinformationen vorgesehen.

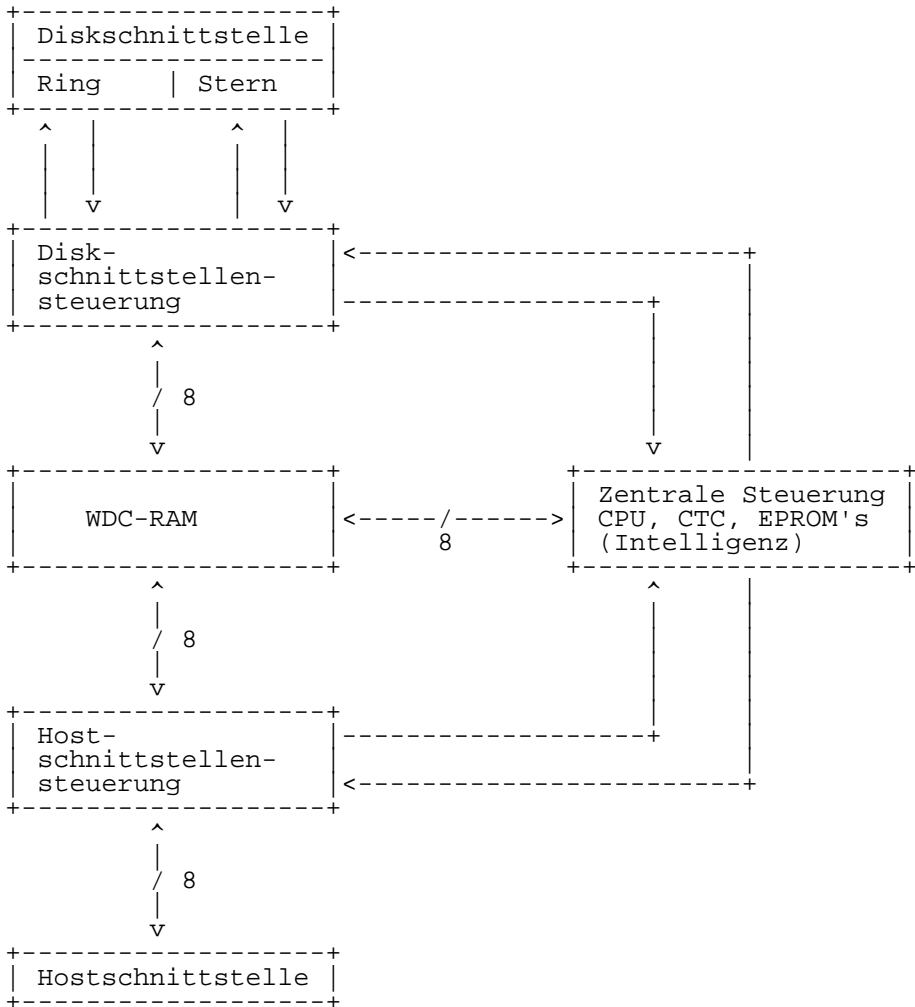


Bild 6.4-1 Blockschaltbild des WDC

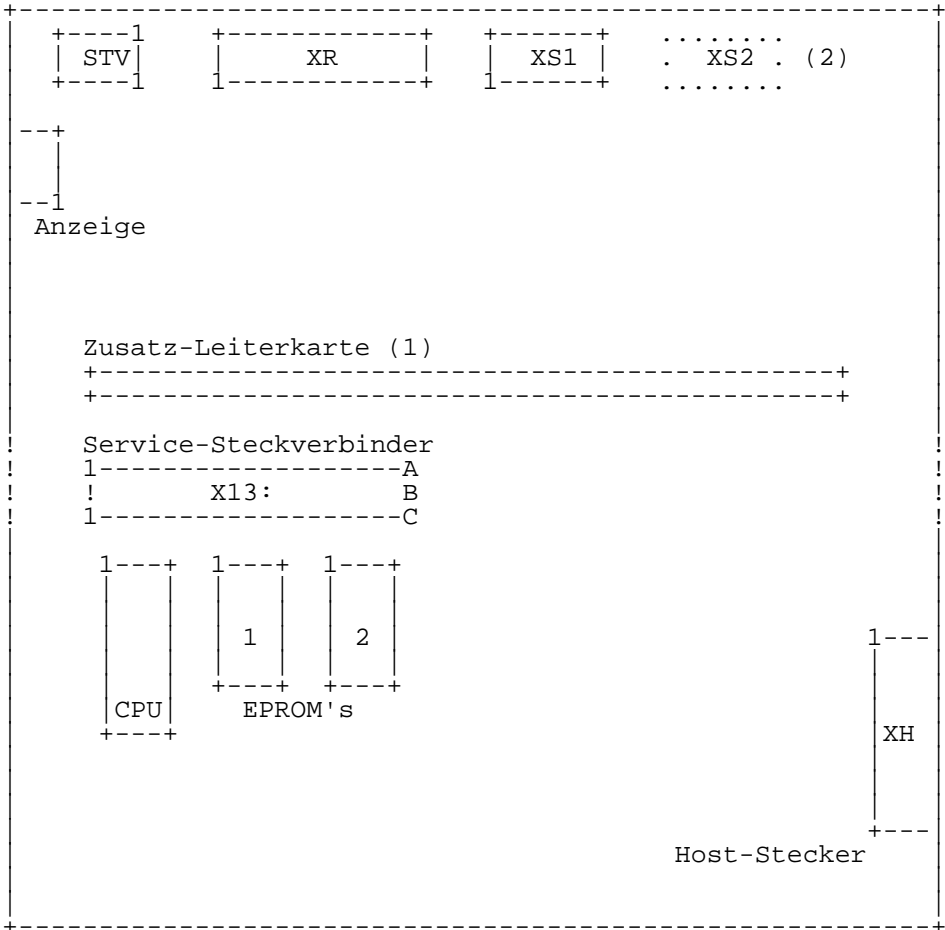
Die Aufgabe der Disk-Schnittstellensteuerung besteht in der Uebertragung von Daten vom RAM des WDC zum externen Speichermedium ueber das Diskinterface und umgekehrt. Sie enthaelt die Einrichtungen zur Umsetzung der parallelen Daten aus dem RAM in serielle, MFM- oder FM-codierte und mit Marken und CRC-Bytes versehene Daten fuer das externe

Speichermedium. Weiterhin enthaelt sie Einrichtungen zur Rueckgewinnung solcher Daten, CRC-Pruefung und Eintragung in den RAM.

Mit Hilfe des CTC koennen nach bestimmten Ereignissen (z.B. Indeximpuls, Marke erkannt, Datenblock im RAM ueber Hostschnittstelle eingetragen) Interrupts generiert werden.

Ueber entsprechende I/O-Ports ist die zentrale Steuerung direkt mit dem Diskinterface (Ringleitung) verbunden. Damit koennen solche Aufgaben, wie das Selektieren eines Laufwerkes oder Schreib-/Lesekopfes, die Kopfbewegung und die Freigabe eines Schreibvorganges durch die Firmware uebernommen werden.

Bild 6.4-2 gibt eine Uebersicht ueber die Anordnung der Steckverbinder auf der WDC-Leiterplatte.



- (1) Entfaellt ab Leiterplattenindex 3
- (2) XS2 ermoglicht den Anschluss weiterer Winchester-Laufwerke.

Bild 6.4-2 Anordnung der Steckverbinder auf der WDC-Leiterplatte

4.2. Die Entwicklungsstaende der WDC-Leiterkarte

4.2.1. WDC Index 0

Die ersten WDC wurden im Rahmen einer Entwicklungsmusterproduktion (GLE-Muster, vor 3/87) gefertigt. Sie bildeten die Grundlage fuer den in die Produktion uebergeleiteten WDC-Entwicklungsstand Index 0 und den dann weiterentwickelten Index 1.

Der Entwicklungsstand Index 0 ist daran zu erkennen, dass die Verbindungskabel zum Laufwerk (XR, XS) durch Loetverbindungen an der Leiterkarte befestigt sind. Die Anordnung der Steckverbinder unterscheidet sich etwas von der im Bild 6.4-2 angegebenen. Die Zusatzleiterkarte ist liegend montiert. Die Verbindung zum 16-Bit-Rechner (Host) ist ueber eine 25-polige Sub-D-Buchsenleiste realisiert. Als Pruefsteckverbinder wurde eine 58-polige direkte EFS-Buchse eingesetzt.

4.2.2. WDC Index 1

Bei den WDC-Leiterkarten Index 1 ist die Zusatzleiterkarte stehend angeordnet. Die Lage der Steckverbinder ist im Bild 6.4-2 dargestellt. Die Verbindung zum 16-Bit-Rechner (Host) ist ueber eine 25-polige Sub-D-Buchsenleiste realisiert. Als Pruefsteckverbinder wurde eine 58-polige indirekte EFS-Buchse eingesetzt. Das Interface der WDC-Ausfuehrungsformen Index 0 und Index 1 unterscheidet sich nicht voneinander.

4.2.3. WDC Index 3

Die Weiterentwicklung des WDC fuehrt ueber Index 2 (interner Arbeitsstand) zum Index 3, der sich dadurch auszeichnet, dass keine Zusatzleiterkarte mehr vorhanden ist.

Gegenueber den WDC Index 0 und Index 1 ist das Hostinterface bezueglich des Reset-Signals veraendert. Ab Index 3 ist dieses Signal high-aktiv (vorher low-aktiv) und liegt an einem anderen Steckerstift des Hoststeckers. 16-Bit-Karten ab Index 4 sind mit beiden Signalausgaengen versehen, koennen also mit WDC-Karten eines beliebigen Index gekoppelt werden. WDC-Leiterkarten ab Index 3 duerfen jedoch nur mit 16-Bit-Karten ab Index 4 betrieben werden!

5. Winchester-Disk-Controller Firmware

Das Programm fuer die Steuerung der CPU und der I/O-Ports befindet sich in zwei 4 KByte-EPROM's (Firmware). Die Firmware ist laufwerksabhaengig, d.h. dass unterschiedliche Laufwerkstypen unterschiedliche EPROM-Inhalte verlangen. Die Sicherung des sich in den EPROM's befindlichen Programms erfolgt durch Abspeicherung der CRC-Pruefsummen sowie der Komplemente fuer beide EPROM's am Ende des zweiten EPROM.

Durch die Firmware wird eine Spur in 18 Sektoren unterteilt. In jedem Sektor sind 512 Bytes Daten abgespeichert. Weiterhin werden durch die Firmware die defekten Spuren eines Laufwerks verwaltet. Dazu existiert auf jedem Laufwerk im Datenbereich des Zylinder 0, Kopf 0, Sektor 1 eine Tabelle der defekten Spuren des Laufwerks (Defektspurtable, Bad Track Table, BTT). Waehrend der normalen Arbeit mit dem Laufwerk werden diese defekten Spuren uebergangen.

Bedingt durch den Hardware-Aufbau wird die Firmware unterteilt in die Programmierung der Host-Schnittstelle, Programmierung der Disk-Schnittstelle und Programmierung der Organisationsaufgaben der CPU. Die Schnittstellen arbeiten nach ihrer Initialisierung durch das Programm selbststaendig und melden sich nach Abarbeitung der programmierten Aktivitaeten durch Interrupt bei der CPU zurueck. Sowohl die Schnittstellen als auch die CPU koennen (auch gleichzeitig) auf den RAM zugreifen.

Die Verstaendigung des WDC mit dem Host-Rechner erfolgt ueber zwei jeweils acht Bit breite Parallelports. Ein Port dient zur byteweisen Uebertragung von Kommandos und Daten. Der andere Port wird bitweise betrieben. Er enthaelt drei Steuerbits zur unmittelbaren Koordination der Byteuebertragung auf dem anderen Port und drei Statusbits zur Meldung des inneren Zustandes des WDC.

Es koennen folgende Zustaeude des WDC auftreten:

- WDC besetzt bzw. in Arbeit
- WDC bereit zum Kommandoempfang
- WDC bereit zum Datenempfang
- WDC bereit zum Datensenden
- WDC Fehlerstatus

Nachdem das RESET-Signal inaktiv geworden ist, beginnt die CPU, das Programm, welches in den EPROM's abgespeichert ist, abzuarbeiten. Die CRC-Pruefsummen der beiden EPROM's werden berechnet und mit den eingetragenen Werten im zweiten EPROM verglichen. Der WDC-RAM wird geloescht und Arbeitszellen werden initialisiert. Der Stack wird vorbereitet und die Adressen der Interruptserviceroutinen werden in

entsprechende RAM-Zellen eingetragen. Der Ready-Status der Laufwerke wird ueber die Diskschnittstelle abgefragt. Die Schreib-/Lesekoepfe der vorhandenen Laufwerke werden schrittweise zum Zylinder 0 bewegt. Anschliessend werden die Defektsputrtaellen der angeschlossenen Laufwerke in den WDC-RAM eingelesen. Die Host-Schnittstelle wird zum Kommandoempfang programmiert. Der Status wird entsprechend ausgegeben.

* Tritt in der Initialisierungsphase ein Fehler auf, so wird dieser Fehler nach dem ersten empfangenen Kommando an den Host-Rechner uebermittelt. Das Kommando wird dabei nicht ausgefuehrt. Wenn es ausgefuehrt werden soll, muss es ein zweites Mal an den WDC gesendet werden.

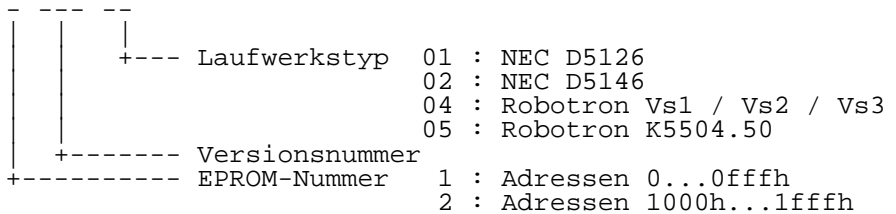
Die vom Host gewuenschten Aktivitaeten werden dem WDC ueber einen Kommandoblock mitgeteilt. Dieser Kommandoblock umfasst in jedem Fall neun Bytes, wobei nicht benutzte Bytes beliebig belegt sein koennen. Die Codierung der Kommandoart (Kommandocode) ist im ersten Byte enthalten (Byte 0). Je nach Kommandocode werden die folgenden Bytes in unterschiedlicher Bedeutung verwendet. Bei den Lese- bzw. Schreibkommandos wird jeweils pro Kommando das Datenfeld eines Sektors gelesen bzw. geschrieben.

Die Firmware (EPROM-Inhalt) des WDC ist laufwerksabhaengig. Die Unterschiede werden durch folgende, die Firmware beeinflussende Laufwerkparameter verursacht:

- Zylinderanzahl
- Kopfanzahl
- Zylindernummer der Praekompensationseinschaltung
- Startzeit (Power-on bis 'ready')
- min. Kopfbewegungszeit zwischen benachbarten Zylindern
- Zeitunterschiede fuer den Einzel- und den gepufferten Schrittbetrieb

Aus der Kennzeichnung der WDC-EPROM's ist der Laufwerkstyp zu erkennen:

WDC_x_y.y.zz



Diese Kennzeichnung ist auch im EPROM 1 auf den Adressen 2...0dh abgespeichert. Die EPROM-Nummer ist hierbei durch ein 'V' ersetzt.

Die Versionsnummer charakterisiert verschiedene Entwicklungsstaende der Firmware. Bis zur Version 2.5 koennen Fehler bei der Arbeit mit dem Winchester-Beisteller auftreten, die durch Firmware-Fehler hervorgerufen werden (Fehler A, Fehler bei der Behandlung defekter Spuren). Ab Version 2.6 sind diese Fehler beseitigt. Bis Version 3.0 ist es nur moeglich, mit einem angeschlossenen Laufwerk zu arbeiten. Bei jedem Kommando koennen max. 512 Byte zwischen WDC und Grundgeraet uebertragen werden.

Tabelle 6.5-3 WDC-Fehler:

Code	Fehlererlauerung
00	! kein Fehler, Durchfuehrung der Aktion ok.
01	! unerlaubter Kommandocode
02	! Head-Nummer im Kommando zu gross
03	! Drive-Nummer im Kommando zu gross
04	! unerlaubte Zylindernummer
05	! Lesefehler beim Einlesen der Defektspurtabelle
06	! Plausibilitaetsfehler in der eingelesenen Defektspurtabelle
07	! nach RESET nicht Track0 erreicht (kein Track0-Signal)
08	! kein Laufwerk "ready"
09	! Sektor nicht gefunden nach Distanzwiederholung
0A	! kein "FB" als Datenfeldkennzeichen
0B	! keine Marke erkannt (Zeitueberwachung)
0C	! kein Kennfeld gefunden, Fehler im Kennfeld
0D	! CRC-Fehler im Kennfeld (noch kein exaktes Kennfeld gefunden)
0E	! CRC-Fehler im Kennfeld (exaktes Kennfeld gefunden)
0F	! CRC-Fehler im Datenfeld
11	! Track0-Signal bei gefordertem Zylinder 0 nicht aktiv
12	! Sektornummer des zu schreibenden Sektors falsch
13	! "Fault Write"-Signal aktiv
14	! Schreibfehler bei "Read after Write"
15	! Blocknummer im Kommando zu gross
20	! EPROM-Pruefsummenfehler

A n l a g e A
Technische Parameter

15.07.1988

Inhaltsverzeichnis Anlage A		Seite
1.	P8000-Computer	A-3
2.	P8000-Winchester	A-4
3.	P8000-Terminal	A-5
4.	P8000-EPROM-Programmer	A-5
5.	Allgemeine Parameter	A-7

1. P8000-Computer

Ausfuehrungsvarianten des P8000-Computers:

16-Bit-Computer: enthaelt 16-Bit- und 8-Bit-Rechnerkarte. Volles Leistungsvermoegen.
 8-Bit-Computer: enthaelt nur 8-Bit-Rechnerkarte
 Eingeschraenkter Betrieb.

Angaben zum Geraet:

Abmessungen: 418 mm x 255 mm x 350 mm (H x B x T)
 Gewicht: 15,5 kg
 Stromversorgung: 220 V Ws, 50 Hz, 90 W

Floppy-Disk-Laufwerke: 2 x Typ 1.6 (5 1/4 Zoll, 80 Spuren, doppelseitig)
 ext. Floppy-Anschluss: 2 x 8 oder 2 x 5 1/4 Zoll Laufwerke
 eigene Stromversorgung erforderlich
 unterstuetzte Formate: Dichte Spuren Sektoren Bytes/Sektor
 5 1/4 Zoll: DD, DS 80 16 256
 DD, DS 80 18 512
 DD, DS 80 10 1024
 DD, SS 80 16 256
 DD, SS 40 16 256
 8 Zoll (nur extern): SD, SS 77 26 128

serielles Interface 16-Bit-Computer:

8 x V.24 max. Entfernung 15 m
 davon waehlbar: 6 x IFSS max. Entfernung 500 m
 Uebertragungsmode: asynchron, max. 19200 Baud, Soft- oder Hardwareprotokoll

serielles Interface 8-Bit-Computer:

4 x V.24 max. Entfernung 15 m
 davon waehlbar: 4 x IFSS max. Entfernung 500 m
 Uebertragungsmode: asynchron, max. 19200 Baud, Soft- oder Hardwareprotokoll

paralleles Interface:

1 x EPROM-Programmer
 1 x Winchester-Beisteller (nur 16-Bit-Computer)

Angaben zu den Rechnerkarten:

	16-Bit-Rechnerkarte	8-Bit-Rechnerkarte
Mikroprozessor:	UB8001D	UA880D
Speicherverwaltung:	3 x UB8010D	-
Taktrate:	4 MHz	4 MHz
Speicherbereich		
EPROM:	16 KByte	8 KByte
statischer RAM:	2 KByte	2 KByte
dynamischer RAM:	max 4 DRAM-Karten	64 KByte
Peripherieschaltkreise		
PIO:	3 x UA855D	2 x UA855D
SIO:	2 x UA856D	2 x UA856D
CTC:	2 x UA857D	2 x UA857D
DMA:	-	1 x UA858D
Floppy-Controller:	-	1 x U8272D

Angaben zu den DRAM-Karten:

Einsatz:	16-Bit-Computer
Speicherkapazität:	256 KByte bzw. 1 MByte je Karte
Refresh:	RAS-Only-Refresh, CPU-gesteuert
Fehlerüberwachung:	1 Paritätsbit pro Byte

2. P8000-Winchesterbeisteller

Angaben zum Gerät:

Abmessungen:	418 mm x 255 mm x 350 mm (H x B x T)
Gewicht:	13 kg
Stromversorgung:	220 V Ws, 50 Hz, 75 W
Winchesterlaufwerk:	1 x oder 2 x 5 1/4 Zoll
Interface:	
WDC <--> Laufwerk:	ST506
WDC <--> Computer:	parallel

Angaben zu den Winchesterlaufwerken:

Typ:	ROBOTRON	ROBOTRON
	VS1/VS2/VS3	K5504.50
Zylinder:	820 (0...819)	1024 (0...1023)
Köpfe:	6 (0...5)	5 (0...4)
Praekompensation:	keine	keine
max. Startzeit:	23 s	15 s
min. Stepzeit:	8 ms	5 ms
max. Kapazität:	44280 KByte	46080 KByte
formatiert:	18 Sektoren	18 Sektoren
	512 Bytes/Sektor	512 Bytes/Sektor

3. P8000-Terminal

Abmessungen:

Monitor + Steuerung: 410 mm x 340 mm x 340 mm (H x B x T)
 Tastatur: 50 mm x 500 mm x 200 mm (H x B x T)
 Gewicht komplett: 20 kg
 Stromversorgung: 220 V Ws, 50 Hz, 50 W

Bildschirm: 24 Zeilen, 80 Zeichen je Zeile
 Zeichenmatrix: 7 x 11 Punkte
 Zeichenvorrat: 128 alphanumerische Zeichen, ASCII
 oder Deutsch umschaltbar
 Videoattribute: ein- ausschaltbar
 Betriebsart: ADM31 oder VT100 (ANSI-3.64)
 Computerinterface: V.24 oder IFSS, 9600 Baud
 Uebertragungsmode: asynchron, Softwareprotokoll

Monitor:

Typ: K 7229.21 (oder alpha 1)
 Bildroehre: 31 cm gruen
 Aufloesung horizontal: 720 Punkte
 Aufloesung vertikal: 336 Punkte
 Bildwiederholffrequenz: 62 Hz
 Betriebsart: noninterlaced
 Stromversorgung: eigenes Netzteil

Tastatur:

Typ:
 Betriebsart: aktiv
 Interface: seriell
 Tastenanordnung: deutsch, abgesetzter Ziffernblock,
 Funktionstasten
 Stromversorgung: +5 V Gs aus Terminal-Steuerrechner

4. P8000-EPROM-Programmer

Abmessungen: 35 mm x 115 mm x 185 mm (H x B x T)
 Gewicht: 0,5 kg
 Stromversorgung: +5 V, +12 V Gs aus P8000-Computer

Funktionen: Programmieren, Listen, Vergleichen,
 EPROM einlesen, Kopieren,
 Bildung der Pruefsumme

EPROM-Typen: 2708, 2716, 2732, 2732A, 2764
 Computerinterface: parallel

Programmierspannungen: 26 V fuer 2708
25 V fuer 2716, 2732
21 V fuer 2732A, 2764

5. Allgemeine Parameter:

Sicherheitsparameter:

Schutzgrad: IP 20 (TGL 15165/01)
Schutzklasse: I (TGL 21366)
Funkstoergrad: F2 (TGL 20885)
Kriech-, Luftstrecken: Gr. 4 (TGL 16559 fuer die
Netzspannungsseite)

Betriebsbedingungen:

Hilfsenergie: 220 V WS +10% -15%, 50 Hz +-4%
Einsatzklasse: +5/+40/+25/80//1101 n. TGL 9200/03
atmosphaer. Luftdruck: 80...110 kPa
magnetische Gleich- u.
Wechselfelder 50 Hz: 40 A/m
Betriebsart: DB

Lagerbedingungen (TGL 22500/03):

Lagerart: ungeheizte Raeume
Klimabereich: N
Lufttemperatur: -15...+35 Grad C
max. zul. Temp./
Feuchtekopplung: 20 Grad C / 80 % r.F.
max. Lagerdauer: 2 Jahre

fuer 5 Tage pro Jahr ist zulaessig:

Lufttemperatur: -20...+40 Grad C
max. zul. Temp./
Feuchtekopplung: 25 Grad C / 90 % r.F.

Transportbedingungen (TGL 22500/03):

Art des Transports:	in geschlossenen Laderaäumen
Klimabereich:	N
Lufttemperatur:	-30...+50 Grad C
max. zul. Temp./	
Feuchtekopplung:	25 Grad C / 98 % r.F.
zul. Schwingungen	
und Stoesse:	entsprechend Pruefklasse EB 6-25-1000, TGL 200-0057/06

Zuverlaessigkeit:

Fuer die Grundkonfiguration einschliesslich Drucker wurde festgelegt:

mittlerer Ausfallabstand
(Kalenderzeit bei
Einschichtbetrieb): 800 h

gammaprozentuale Lebensdauer
($f \times \gamma = 0,6$): 10 Jahre

A n l a g e B

Verzeichnis der Servicewerkstaetten

15.03.1989

1. Zentralwerkstatt Kundendienst KEAW:

Degnerstrasse 70, Berlin-Hohenschonhausen, 1092
Oeffnungszeiten: Mo - Fr 7 - 12 Uhr und 13 - 15 Uhr
Reparaturannahme: Mo und Mi 7 - 12 Uhr und 13 - 15 Uhr
Tel.: 3765505

2. Elektronik-Service Karl-Heinz Garbe

Buchholzallee 28, Parchim, 2850
Oeffnungszeiten: Di 9 - 12 Uhr und 14 - 18 Uhr
Tel.: 3059

3. Elektronik-Service Mothes

Calvisiusstr. 23, Leipzig, 7033
Reparaturannahme: Nach telefonischer Ruecksprache
Tel.: 476071

4. Elektronik-Service Manig

Strasse der DSF 9a, Cottbus, 7513
Oeffnungszeiten: Di 8 - 12 Uhr und 15 - 18 Uhr
Do 14 - 18 Uhr
Tel.: 523075

5. PGH ERFI

Schleusinger Str., Stuetznerbach, 6316
Reparaturannahme: Nach telefonischer Ruecksprache
Tel.: 225

6. RVB, Werk Stralsund, PB Rostock V

Krischanweg 12, Rostock, 2510
Reparaturannahme: Nach telefonischer Ruecksprache
Tel.: 82365, 82366

nur fuer folgende Geraetekomponenten:

Drucker K 6313, K 6314, EPSON
Monitor K 7229.21 bis K 7229.25, Alpha 1 und 2
Tastatur K 7658 (PC 1715 Tastatur)

** Die Werkstaetten 4. und 5. sind erst ab 6/89 voll
arbeitsfaehig.

A n l a g e C
Aenderungsmitteilungen

15.07.1988

Ergaenzung zu Kapitel 4, Abschn. 4, Tastaturen:

Flachtastatur robotron K 7611.09

Ab Maerz 1989 wird anstelle der Flachtastatur K 801 die Flachtastatur robotron K 7973.09 (Auerbach) mit folgender Belegung ausgeliefert

Taste	Funktion	Taste	Funktion
-	<CR>	-	<CHAR DELETE>
-	<Umschaltung Zeichensatz>	-	<PAGE ERASE>
-	<MODE>	-	<CHAR INSERT>
-	<VIDEO>	-	<LINE DELETE>
-	<BREAK>	-	<HOME>
-	<ESC>	-	<LINE INSERT>
-	<BS>	-	<VT>
-		-	<BS>
-	<HT>	-	<LF>
-	<BACKTAB>	-	<FF>
-	<CR>	-	<CR>
!	!	!	!
!	!	!	!

Die Funktionstasten F1...F11 sind nicht belegt.

